

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-006044

(43) Date of publication of application : 10.01.2003

(51)Int.Cl.

G06F 12/06

G06F 12/00

G06F 12/02

G11C 16/02

(21)Application number : 2001-184686

(71)Applicant : TDK CORP

(22)Date of filing : 19.06.2001

(72)Inventor : MUKODA NAOKI
KIDA KENZO

(54) MEMORY CONTROLLER, FLASH MEMORY SYSTEM HAVING MEMORY CONTROLLER AND METHOD FOR CONTROLLING FLASH MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a memory controller capable of performing a series of data write processings to a flash memory at higher speed.

SOLUTION: The memory controller accesses a memory consisting of a plurality of physical blocks based on a host address to be supplied from a host computer and is provided with a means to sort each of the physical blocks into a plurality of groups, a means to form a plurality of virtual blocks by virtually coupling the plurality of physical blocks belonging to mutually different groups and a means to allocate the adjacent host addresses to the mutually different physical blocks in the virtual block for the virtual block belonging to a first group and to allocate the adjacent host addresses in the same physical block in the virtual block for the virtual block belonging to a second group among the plurality of virtual blocks.

[illegible]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003-6044

(P2003-6044A)

(43)公開日 平成15年 1月10日 (2003.1.10)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
G 0 6 F 12/06	5 2 3	G 0 6 F 12/06	5 2 3 C 5 B 0 2 5
12/00	5 9 7	12/00	5 9 7 U 5 B 0 6 0
12/02	5 7 0	12/02	5 7 0 A
G 1 1 C 16/02		G 1 1 C 17/00	6 1 1 Z

審査請求 未請求 請求項の数10 O L (全 37 頁)

(21)出願番号 特願2001-184686(P2001-184686)

(22)出願日 平成13年6月19日(2001.6.19)

(71)出願人 000003067

ティーディーケー株式会社

東京都中央区日本橋1丁目13番1号

(72)発明者 向田 直樹

東京都中央区日本橋一丁目13番1号 ティーディーケー株式会社内

(72)発明者 木田 健三

東京都中央区日本橋一丁目13番1号 ティーディーケー株式会社内

(74)代理人 100078031

弁理士 大石 皓一 (外1名)

最終頁に続く

(54)【発明の名称】 メモリコントローラ、メモリコントローラを備えるフラッシュメモリシステム及びフラッシュメモリの制御方法

(57)【要約】

【課題】 フラッシュメモリに対する一連のデータ書き込み処理をより高速に行うことができるメモリコントローラを提供する。

【解決手段】 本発明によるメモリコントローラは、ホストコンピュータより供給されるホストアドレスに基づいて、複数の物理ブロックからなるメモリにアクセスするメモリコントローラであって、各物理ブロックを複数のグループに分類する手段と、互いに異なるグループに属する複数の物理ブロックを仮想的に結合することにより複数の仮想ブロックを形成する手段と、複数の仮想ブロックのうち、第1の群に属する仮想ブロックについては隣り合うホストアドレスを仮想ブロック内において互いに異なる物理ブロックに割り当て、第2の群に属する仮想ブロックについては、隣り合うホストアドレスを仮想ブロック内の同じ物理ブロックに割り当てる手段とを備えている。

ブロック#150	ブロック#8811	ブロック#8191	ブロック#3048
仮想ページ #0	仮想ページ #1	仮想ページ #2	仮想ページ #3
仮想ページ #4	仮想ページ #5	仮想ページ #6	仮想ページ #7
仮想ページ #8	仮想ページ #9	仮想ページ #10	仮想ページ #11
.	.	.	.
.	.	.	.
.	.	.	.
.	.	.	.
.	.	.	.
.	.	.	.
仮想ページ#124	仮想ページ#125	仮想ページ#126	仮想ページ#127

【特許請求の範囲】

【請求項1】 ホストコンピュータより供給されるホストアドレスに基づいて、複数の物理ブロックからなるメモリにアクセスするメモリコントローラであって、前記各物理ブロックを複数のグループに分類する手段と、互いに異なるグループに属する複数の物理ブロックを仮想的に結合することにより複数の仮想ブロックを形成する手段と、前記複数の仮想ブロックのうち、第1の群に属する仮想ブロックについては隣り合うホストアドレスを前記仮想ブロック内において互いに異なる物理ブロックに割り当て、第2の群に属する仮想ブロックについては、隣り合うホストアドレスを前記仮想ブロック内の同じ物理ブロックに割り当てる手段とを備えるメモリコントローラ。

【請求項2】 前記第2の群に属する仮想ブロックが、ホストアドレスの先頭部分を含む領域に対応することと特徴とする請求項1に記載のメモリコントローラ。

【請求項3】 前記第2の群に属する仮想ブロックの数を決定する手段をさらに備えていることと特徴とする請求項1または2に記載のメモリコントローラ。

【請求項4】 前記グループが、前記複数の物理ブロックを少なくともメモリチップ別に分類するものであることを特徴とする請求項1乃至3のいずれか1項に記載のメモリコントローラ。

【請求項5】 前記グループが、前記複数の物理ブロックを少なくともバンク別に分類するものであることを特徴とする請求項1乃至4のいずれか1項に記載のメモリコントローラ。

【請求項6】 ホストコンピュータより供給されるホストアドレスに基づいて、それぞれn個の物理ページからなる複数の物理ブロックによって構成されるメモリにアクセスするメモリコントローラであって、m個の物理ブロックを仮想的に結合することによってn×m個の仮想ページからなる仮想ブロックを形成する手段と、前記複数の仮想ブロックのうち、第1の群に属する仮想ブロックについては連続するホストアドレスを前記仮想ブロック内の連続する仮想ページに割り当て、第2の群に属する仮想ブロックについては、連続するホストアドレスを前記仮想ブロック内の連続する物理ページに割り当てる手段とを備えるメモリコントローラ。

【請求項7】 各仮想ブロック内の隣り合う仮想ページが、互いに異なる物理ブロックに属していることを特徴とする請求項6に記載のメモリコントローラ。

【請求項8】 前記第2の群に属する仮想ブロックが、ホストアドレスの先頭部分を含む領域に対応することと特徴とする請求項6または7に記載のメモリコントローラ。

【請求項9】 複数の物理ブロックからなるフラッシュメモリと、ホストコンピュータより供給されるホストアドレスに基づいて前記フラッシュメモリにアクセスする

メモリコントローラとを備え、前記メモリコントローラが、前記各物理ブロックを複数のグループに分類する手段と、互いに異なるグループに属する複数の物理ブロックを仮想的に結合することにより複数の仮想ブロックを形成する手段と、前記複数の仮想ブロックのうち、第1の群に属する仮想ブロックについては隣り合うホストアドレスを前記仮想ブロック内において互いに異なる物理ブロックに割り当て、第2の群に属する仮想ブロックについては、隣り合うホストアドレスを前記仮想ブロック内の同じ物理ブロックに割り当てる手段とを備えることを特徴とするフラッシュメモリシステム。

【請求項10】 第1の群に属する連続したホストアドレスに基づくアクセスが要求されたことに応答して、隣り合うホストアドレスを互いに異なる物理ブロックに対応する内部アドレスに変換し、第2の群に属する連続したホストアドレスに基づくアクセスが要求されたことに応答して、隣り合うホストアドレスを互いに同じ物理ブロックに対応する内部アドレスに変換することを特徴とするフラッシュメモリの制御方法。

【発明の詳細な説明】

【0001】

【発明の属する利用分野】本発明は、メモリコントローラ、フラッシュメモリシステム及びフラッシュメモリの制御方法に関し、特に、フラッシュメモリに対する一連のデータ書き込み処理をより高速に行うことができるメモリコントローラ、フラッシュメモリシステム及びフラッシュメモリの制御方法に関する。

【0002】

【従来の技術】近年、メモリカードやシリコンディスクなどに用いられる半導体メモリとして、フラッシュメモリ、特にNAND型フラッシュメモリが用いられることが多い。NAND型フラッシュメモリは、メモリセルを消去状態（論理値＝1）から書込状態（論理値＝0）に変化させる場合は、これをメモリセル単位で行うことが可能である一方、メモリセルを書込状態（0）から消去状態（1）に変化させる場合は、これをメモリセル単位で行うことができず、複数のメモリセルからなる所定の消去単位（ブロック単位）でしかこれを行うことができない。かかる一括消去動作は、一般的に「ブロック消去」と呼ばれる。

【0003】このように、NAND型フラッシュメモリにおいては、書込状態（0）から消去状態（1）への変化をメモリセル単位で行うことができないため、フラッシュメモリにデータを書き込む場合には、データを書き込むべき領域に含まれる全てのメモリセルを事前にブロック消去しておく必要がある。ブロック消去された領域は、データが格納されていない空きブロックとなり、フラッシュメモリに新たなデータを書き込む場合には、このような空きブロックが検索され、発見された空きブロックに対して当該データが書き込まれることになる。こ

ここで、各ブロックは、それぞれ、データの読み出し及び書き込みにおけるアクセス単位である複数の「ページ」によって構成されている。

【0004】このようなフラッシュメモリへのデータの書き込みは、次のようにして行われる。

【0005】まず、ホストコンピュータからデータ書き込み要求が発行され、書き込み先のアドレス及び書き込むべきデータが送信されると、かかるデータが、コントローラ内に設けられたメモリに一時的に格納される。次いで、コントローラは、一時的にメモリに格納されているデータをフラッシュメモリへ転送し、これを書き込み先のアドレスが示すページに書き込むよう、フラッシュメモリに対して指示する。これにตอบสนองして、フラッシュメモリは、コントローラから転送されたデータを指定されたページに格納し、これにより、一連のデータ書き込み処理が完了する。

【0006】

【発明が解決しようとする課題】従来より、同一ブロック内における各ページは、ホストコンピュータから見て、連続するアドレスを有するものとして取り扱われている。一方、ホストコンピュータからのデータ書き込み要求は、連続する複数アドレスに対してなされることが多く、この場合、コントローラは、あるブロック内の連続する複数ページに、次々とデータを書き込む必要がある。

【0007】この場合、コントローラはまず、最初のページに書き込むべきデータをフラッシュメモリに転送し、かかるデータを当該ページに書き込むよう、フラッシュメモリに対して指示する。これにตอบสนองして、フラッシュメモリが、転送されたデータを指定されたページに格納すると、次いで、コントローラは、次のページに書き込むべきデータをフラッシュメモリに転送し、当該ページに書き込むよう、フラッシュメモリに対して指示する。このような処理を、要求された複数アドレスについて次々と実行することにより、連続する複数ページへの一連のデータの書き込み処理が完了する。

【0008】ここで、ひとつのページに対する書き込み処理に要する時間は、主に、書き込むべきデータをコントローラからフラッシュメモリに転送するために必要な時間（データ転送時間）、コントローラからフラッシュメモリに書き込み命令を発行する時間（命令発行時間）、実際にフラッシュメモリにデータが書き込まれる時間（フラッシュプログラム時間）等からなり、このうち、フラッシュプログラム時間は、特に長い時間（例えば、約200 μ sec）を要する。

【0009】従来は、このように比較的長い時間を要する1回のデータ書き込み処理を、ページ単位で次々と行っているため、ホストコンピュータより、連続する複数アドレスに対してデータ書き込み要求がなされた場合、一連のデータの書き込み処理が完了するには、データを

書き込むべきページ数に実質的に比例した時間が必要であった。

【0010】このため、ホストコンピュータより連続する複数アドレスに対してデータ書き込み要求がなされた場合に、一連のデータの書き込み処理をより高速に行うことができるメモリコントローラ、フラッシュメモリシステム及びフラッシュメモリの制御方法が望まれていた。

【0011】したがって、本発明の目的は、フラッシュメモリに対する一連のデータ書き込み処理をより高速に行うことができるメモリコントローラ及びこのようなメモリコントローラを備えるフラッシュメモリシステムを提供することである。

【0012】また、本発明の他の目的は、フラッシュメモリに対する一連のデータ書き込み処理をより高速に行うことができるフラッシュメモリの制御方法を提供することである。

【0013】

【課題を解決するための手段】本発明のかかる目的は、ホストコンピュータより供給されるホストアドレスに基づいて、複数の物理ブロックからなるメモリにアクセスするメモリコントローラであって、前記各物理ブロックを複数のグループに分類する手段と、互いに異なるグループに属する複数の物理ブロックを仮想的に結合することにより複数の仮想ブロックを形成する手段と、前記複数の仮想ブロックのうち、第1の群に属する仮想ブロックについては隣り合うホストアドレスを前記仮想ブロック内において互いに異なる物理ブロックに割り当て、第2の群に属する仮想ブロックについては、隣り合うホストアドレスを前記仮想ブロック内の同じ物理ブロックに割り当てる手段とを備えるメモリコントローラによって達成される。

【0014】本発明によれば、第1の群に属する仮想ブロックにおいては、隣り合うホストアドレスが、仮想ブロック内において互いに異なる物理ブロックに割り当てられているため、連続する複数アドレスに対するアクセスがホストコンピュータから要求された場合、これらアドレスによりアクセスされる物理ブロックは、互いに異なる物理ブロックとなる。このため、アクセスされた各物理ブロックがそれぞれ独立して動作することにより、一連の処理を並列に行うことができる。これにより、フラッシュメモリに対する一連の処理をより高速に行うことが可能となる。一方、第2の群に属する仮想ブロックにおいては、隣り合うホストアドレスが、仮想ブロック内の同じ物理ブロックに割り当てられているため、ホストコンピュータよりデータの上書きが頻繁に指示される場合であっても、多くの物理ブロックについてブロック間転送する必要がなく、一連のデータの上書き動作を高速に行うことができる。

【0015】本発明の好ましい実施態様においては、前

記第2の群に属する仮想ブロックが、ホストアドレスの先頭部分を含む領域に対応する。

【0016】本発明の好ましい実施態様によれば、FAT（ファイル・アロケーション・テーブル）等、ホストアドレスの先頭部分に格納されるデータの上書き処理を高速に行うことができる。

【0017】本発明のさらに好ましい実施態様においては、前記メモリコントローラが、前記第2の群に属する仮想ブロックの数を決定する手段をさらに備えている。

【0018】本発明のさらに好ましい実施態様によれば、第2の群に属する仮想ブロックの数を可変とすることができる。

【0019】本発明のさらに好ましい実施態様においては、前記グループが、前記複数の物理ブロックを少なくともメモリチップ別に分類するものである。

【0020】本発明のさらに好ましい実施態様によれば、メモリチップ別に各物理ブロックがグループ分けされていることから、第1の群に属する仮想ブロックにおいて連続する複数のホストアドレスに対応する物理ブロックは、それぞれ異なるメモリチップに属することとなる。このため、これらメモリチップが、並列処理を行うことができない通常のメモリチップであっても、それぞれのメモリチップが独立して動作することにより、並列処理を行うことが可能となる。

【0021】本発明のさらに好ましい実施態様においては、前記グループが、前記複数の物理ブロックを少なくともバンク別に分類するものである。

【0022】本発明のさらに好ましい実施態様によれば、バンク別に各物理ブロックがグループ分けされていることから、第1の群に属する仮想ブロックにおいて連続する複数のホストアドレスに対応する物理ブロックは、それぞれ異なるバンクに属することとなる。このため、メモリチップが一つのみであっても、それぞれのバンクが独立して動作することにより、並列処理を行うことが可能となる。特に、メモリチップを複数個用い、互いに異なるバンクに属する複数の物理ブロックを、複数のメモリチップに亘って仮想的に結合することにより仮想ブロックを構成すれば、より多くの処理を並列に実行することが可能となるので、フラッシュメモリに対する一連の処理をより高速に行うことが可能となる。

【0023】本発明の前記目的はまた、ホストコンピュータより供給されるホストアドレスに基づいて、それぞれn個の物理ページからなる複数の物理ブロックによって構成されるメモリにアクセスするメモリコントローラであって、m個の物理ブロックを仮想的に結合することによってn×m個の仮想ページからなる仮想ブロックを形成する手段と、前記複数の仮想ブロックのうち、第1の群に属する仮想ブロックについては連続するホストアドレスを前記仮想ブロック内の連続する仮想ページに割り当て、第2の群に属する仮想ブロックについては、連

続するホストアドレスを前記仮想ブロック内の連続する物理ページに割り当てる手段とを備えるメモリコントローラによって達成される。

【0024】本発明の好ましい実施態様においては、各仮想ブロック内の隣り合う仮想ページが、互いに異なる物理ブロックに属している。

【0025】本発明のさらに好ましい実施態様においては、前記第2の群に属する仮想ブロックが、ホストアドレスの先頭部分を含む領域に対応する。

10 【0026】本発明の前記目的はまた、複数の物理ブロックからなるフラッシュメモリと、ホストコンピュータより供給されるホストアドレスに基づいて前記フラッシュメモリにアクセスするメモリコントローラとを備え、前記メモリコントローラが、前記各物理ブロックを複数のグループに分類する手段と、互いに異なるグループに属する複数の物理ブロックを仮想的に結合することにより複数の仮想ブロックを形成する手段と、前記複数の仮想ブロックのうち、第1の群に属する仮想ブロックについては隣り合うホストアドレスを前記仮想ブロック内において互いに異なる物理ブロックに割り当て、第2の群に属する仮想ブロックについては、隣り合うホストアドレスを前記仮想ブロック内の同じ物理ブロックに割り当てる手段とを備えることを特徴とするフラッシュメモリシステムによって達成される。

【0027】本発明の前記目的はまた、第1の群に属する連続したホストアドレスに基づくアクセスが要求されたことに応答して、隣り合うホストアドレスを互いに異なる物理ブロックに対応する内部アドレスに変換し、第2の群に属する連続したホストアドレスに基づくアクセスが要求されたことに応答して、隣り合うホストアドレスを互いに同じ物理ブロックに対応する内部アドレスに変換することを特徴とするフラッシュメモリの制御方法によって達成される。

【0028】

【発明の好ましい実施の形態】以下、添付図面を参照しながら、本発明の好ましい実施態様について詳細に説明する。

【0029】図1は、本発明の好ましい実施態様にかかるフラッシュメモリシステム1を概略的に示すブロック図である。

40 【0030】図1に示されるように、フラッシュメモリシステム1はカード形状であり、4個のフラッシュメモリチップ2-0～2-3と、コントローラ3と、コネクタ4とが、一つのカード内に集積されて構成される。フラッシュメモリシステム1は、ホストコンピュータ5に着脱可能に装着されて使用され、ホストコンピュータ5に対する一種の外部記憶装置として用いられる。ホストコンピュータ5としては、文字、音声、あるいは画像情報等の種々の情報を処理するパーソナルコンピュータやデジタルスチルカメラをはじめとする各種情報処理装置

が挙げられる。

【0031】各フラッシュメモリチップ2-0~2-3は、それぞれ128Mバイト(1Gビット)の記憶容量を有する半導体チップである。フラッシュメモリシステム1においては、528バイトを1ページとし、これを最小アクセス単位としている。したがって、これら各フラッシュメモリチップ2-0~2-3は、それぞれ256Kページのアドレス空間を含み、フラッシュメモリチップ2-0~2-3の合計で、1Mページのアドレス空間を備えることになる。また、フラッシュメモリシステム1においては、これら4つのフラッシュメモリチップ2-0~2-3は、512Mバイト(4Gビット)の記憶容量を有し、1Mページのアドレス空間を備える一つの大きなメモリとして取り扱われる。このため、これら1Mページからなるアドレス空間から特定のページにアクセスするためには、20ビットのアドレス情報が必要となる。したがって、ホストコンピュータ5は、フラッシュメモリシステム1に対し、20ビットのアドレス情報を供給することによって、特定のページに対するアクセスを行う。以下、ホストコンピュータ5よりフラッシュメモリシステム1に供給される20ビットのアドレス情報を「ホストアドレス」と呼ぶ。

【0032】コントローラ3は、マイクロプロセッサ6と、ホストインターフェースブロック7と、SRAMワークエリア8と、バッファ9と、フラッシュメモリインターフェースブロック10と、ECC(エラー・コレクション・コード)ブロック11と、フラッシュシーケンサブロック12とから構成される。これら機能ブロックによって構成されるコントローラ3は、一つの半導体チップ上に集積されている。

【0033】マイクロプロセッサ6は、コントローラ3を構成する各機能ブロック全体の動作を制御するための機能ブロックである。

【0034】ホストインターフェースブロック7は、バス13を介してコネクタ4に接続されており、マイクロプロセッサ6による制御のもと、ホストコンピュータ5とのデータやアドレス情報、ステータス情報、外部コマンド情報の授受を行う。すなわち、フラッシュメモリシステム1がホストコンピュータ5に装着されると、フラッシュメモリシステム1とホストコンピュータ5とは、バス13、コネクタ4及びバス14を介して相互に接続され、かかる状態において、ホストコンピュータ5よりフラッシュメモリシステム1に供給されるデータ等は、ホストインターフェースブロック7を入口としてコントローラ3の内部に取り込まれ、また、コントローラ3よりホストコンピュータ5に供給されるデータ等は、ホストインターフェースブロック7を出口としてホストコンピュータ5に供給される。さらに、ホストインターフェースブロック7は、ホストコンピュータ5より供給されるホストアドレス及び外部コマンドを一時的に格納する

タスクファイルレジスタ(図示せず)及びエラーが発生した場合にセットされるエラーレジスタ等(図示せず)を有している。

【0035】SRAMワークエリア8は、マイクロプロセッサ6によるフラッシュメモリチップ2-0~2-3の制御に必要なデータが一時的に格納される作業領域であり、複数のSRAMセルによって構成される。

【0036】バッファ9は、フラッシュメモリチップ2-0~2-3から読み出されたデータ及びフラッシュメモリチップ2-0~2-3に書き込むべきデータを一時的に蓄積するバッファである。すなわち、フラッシュメモリチップ2-0~2-3から読み出されたデータは、ホストコンピュータ5が受け取り可能な状態となるまでバッファ9に保持され、フラッシュメモリチップ2-0~2-3に書き込むべきデータは、フラッシュメモリチップ2-0~2-3が書き込み可能な状態となるとともに、後述するECCブロック11によってエラーコレクションコードが生成されるまでバッファ9に保持される。

【0037】フラッシュメモリインターフェースブロック10は、バス15を介して、フラッシュメモリチップ2-0~2-3とのデータやアドレス情報、ステータス情報、内部コマンド情報の授受を行うとともに、各フラッシュメモリチップ2-0~2-3に対して対応するチップ選択信号#0~#3を供給するための機能ブロックである。チップ選択信号#0~#3は、ホストコンピュータ5からデータの読み出しまたは書き込みが要求された場合、ホストコンピュータ5より供給されるホストアドレスに基づいて生成される内部アドレスの上位2ビットに基づいて、そのいずれかが活性化される信号である。具体的には、内部アドレスの上位2ビットが「00」であればチップ選択信号#0が活性化され、「01」であればチップ選択信号#1が活性化され、「10」であればチップ選択信号#2が活性化され、「11」であればチップ選択信号#3が活性化される。対応するチップ選択信号が活性化されたフラッシュメモリチップ2-0~2-3は選択状態となり、データの読み出しまたは書き込みが可能となる。尚、「内部コマンド」とは、コントローラ3がフラッシュメモリチップ2-0~2-3を制御するためのコマンドであり、ホストコンピュータ5がフラッシュメモリシステム1を制御するための「外部コマンド」と区別される。

【0038】ECCブロック11は、フラッシュメモリチップ2-0~2-3に書き込むデータに付加すべきエラーコレクションコードを生成するとともに、読み出しデータに付加されたエラーコレクションコードに基づいて、読み出しデータに含まれる誤りを訂正するための機能ブロックである。

【0039】フラッシュシーケンサブロック12は、フラッシュメモリチップ2-0~2-3とバッファ9との

データの転送を制御するための機能ブロックである。フラッシュシーケンサブロック 12 は、複数のレジスタ（図示せず）を備え、マイクロプロセッサ 6 による制御のもと、フラッシュメモリチップ 2-0 ~ 2-3 からのデータの読み出しまたはフラッシュメモリチップ 2-0 ~ 2-3 へのデータの書き込みに必要な値がこれらレジスタに設定されると、データの読み出しまたは書き込みに必要な一連の動作を自動的に実行する。

【0040】次に、各フラッシュメモリチップ 2-0 ~ 2-3 を構成する各フラッシュメモリセルの具体的な構造について説明する。

【0041】図 2 は、フラッシュメモリチップ 2-0 ~ 2-3 を構成する各フラッシュメモリセル 16 の構造を概略的に示す断面図である。

【0042】図 2 に示されるように、フラッシュメモリセル 16 は、P 型半導体基板 17 に形成された N 型のソース拡散領域 18 及びドレイン拡散領域 19 と、ソース拡散領域 18 とドレイン拡散領域 19 との間の P 型半導体基板 17 を覆って形成されたトンネル酸化膜 20 と、トンネル酸化膜 20 上に形成されたフローティングゲート電極 21 と、フローティングゲート電極 21 上に形成された絶縁膜 22 と、絶縁膜 22 上に形成されたコントロールゲート電極 23 とから構成される。このような構成を有するフラッシュメモリセル 16 は、フラッシュメモリチップ 2-0 ~ 2-3 内において、複数個直列に接続されて、NAND 型フラッシュメモリを構成する。

【0043】フラッシュメモリセル 16 は、フローティングゲート電極 21 に電子が注入されているか否かによって、「消去状態」と「書込状態」のいずれかの状態が示される。フラッシュメモリセル 16 が消去状態であることは、当該フラッシュメモリセル 16 にデータ「1」が保持されていることを意味し、フラッシュメモリセル 16 が書込状態であることは、当該フラッシュメモリセル 16 にデータ「0」が保持されていることを意味する。すなわち、フラッシュメモリセル 16 は、1 ビットのデータを保持することが可能である。

【0044】図 2 に示されるように、消去状態とは、フローティングゲート電極 21 に電子が注入されていない状態を指す。消去状態におけるフラッシュメモリセル 16 は、デプレッション型のトランジスタとなり、コントロールゲート電極 23 に読み出し電圧が印加されているか否かに関わらず、ソース拡散領域 18 とドレイン拡散領域 19 との間の P 型半導体基板 17 の表面にはチャンネル 24 が形成される。したがって、ソース拡散領域 18 とドレイン拡散領域 19 とは、コントロールゲート電極 23 に読み出し電圧が印加されているか否かに関わらず、チャンネル 24 によって常に電気的に接続状態となる。

【0045】図 3 は、書込状態であるフラッシュメモリセル 16 を概略的に示す断面図である。

【0046】図 3 に示されるように、書込状態とは、フローティングゲート電極 21 に電子が蓄積されている状態を指す。フローティングゲート電極 21 はトンネル酸化膜 20 及び絶縁膜 22 に挟まれているため、一旦、フローティングゲート電極 21 に注入された電子は、きわめて長時間フローティングゲート電極 21 内にとどまる。書込状態におけるフラッシュメモリセル 16 は、エンハンスメント型のトランジスタとなり、コントロールゲート電極 23 に読み出し電圧が印加されていないときには、ソース拡散領域 18 とドレイン拡散領域 19 との間の P 型半導体基板 17 の表面にはチャンネルが形成されず、コントロールゲート電極 23 に読み出し電圧が印加されているときには、ソース拡散領域 18 とドレイン拡散領域 19 との間の P 型半導体基板 17 の表面にチャンネル（図示せず）が形成される。したがって、コントロールゲート電極 23 に読み出し電圧が印加されていない状態では、ソース拡散領域 18 とドレイン拡散領域 19 とは電気的に絶縁され、コントロールゲート電極 23 に読み出し電圧が印加された状態では、ソース拡散領域 18 とドレイン拡散領域 19 とが電気的に接続される。

【0047】ここで、選択されたフラッシュメモリセル 16 が消去状態であるか書込状態であるかは、次のようにして読み出すことができる。すなわち、複数個直列に接続されたフラッシュメモリセル 16 のうち、選択されたフラッシュメモリセル 16 以外の全てのフラッシュメモリセル 16 のコントロールゲート電極 23 に読み出し電圧を印加し、この状態において、これらフラッシュメモリセル 16 の直列体に電流が流れるか否かを検出する。その結果、かかる直列体に電流が流れれば、選択されたフラッシュメモリセル 16 が消去状態であると判断することができ、かかる直列体に電流が流れなければ、選択されたフラッシュメモリセル 16 が書込状態であると判断することができる。このようにして、直列体に含まれる任意のフラッシュメモリセル 16 に保持されたデータが「0」であるのか「1」であるのかを読み出すことができる。但し、NAND 型フラッシュメモリにおいては、ひとつの直列体に含まれる 2 以上のフラッシュメモリセル 16 に保持されたデータを同時に読み出すことはできない。

【0048】また、消去状態であるフラッシュメモリセル 16 を書込状態に変化させる場合、コントロールゲート電極 23 に正の高電圧が印加され、これによって、トンネル酸化膜 20 を介してフローティングゲート電極 21 へ電子が注入される。フローティングゲート電極 21 への電子の注入は、FN トンネル電流による注入が可能である。一方、書込状態であるフラッシュメモリセル 16 を消去状態に変化させる場合、コントロールゲート電極 23 に負の高電圧が印加され、これによって、トンネル酸化膜 20 を介してフローティングゲート電極 21 に蓄積された電子が排出される。

【0049】次に、各フラッシュメモリチップ2-0～2-3の持つアドレス空間の具体的な構成について説明する。

【0050】図4は、フラッシュメモリチップ2-0のアドレス空間の構造を概略的に示す図である。

【0051】図4に示されるように、フラッシュメモリチップ2-0のアドレス空間は、物理ブロック#0～#8191からなる8192個の物理ブロックによって構成される。また、図4には示されていないが、フラッシュメモリチップ2-1～2-3も、フラッシュメモリチップ2-0と同様に物理ブロック#0～#8191からなる8192個の物理ブロックによって構成されている。これら各ブロックは、いずれも16Kバイトの記憶容量を有する。

【0052】ここで、上記各物理ブロックは、データの消去単位である。すなわち、フラッシュメモリチップ2-0～2-3では、各フラッシュメモリセル16ごとに、その状態を書込状態から消去状態に変化させることはできず、フラッシュメモリセル16を書込状態から消去状態に変化させる場合は、当該フラッシュメモリセル16が属するブロックに含まれる全てのフラッシュメモリセル16が一括して消去状態とされる。逆に、フラッシュメモリチップ2-0～2-3では、各フラッシュメモリセル16ごとに、その状態を消去状態から書込状態に変化させることは可能である。

【0053】さらに、図4に示されるように、フラッシュメモリチップ2-0を構成する各物理ブロック#0～#8191は、それぞれ物理ページ#0～#31からなる32個の物理ページによって構成されている。また、フラッシュメモリチップ2-1～2-3を構成する各物理ブロック#0～#8191も、フラッシュメモリチップ2-0を構成する各物理ブロック#0～#8191と同様に、それぞれ32個の物理ページによって構成されている。

【0054】これら各ページはデータの読み出し及び書き込みにおけるアクセス単位であり、図4に示されるように、ビットb0～b7からなる8ビットを1バイトとして、それぞれ512バイトのユーザ領域25と16バイトの冗長領域26によって構成される。ユーザ領域25は、ホストコンピュータ5より供給されるユーザデータが格納される領域である。

【0055】図5は、冗長領域26のデータ構造を概略的に示す図である。

【0056】図5に示されるように、冗長領域26は、エラーコレクションコード格納領域27、仮想ブロックアドレス格納領域28及びその他の付加情報によって構成される。

【0057】エラーコレクションコード格納領域27は、対応するユーザ領域25に格納されたユーザデータの誤りを訂正するための付加情報（エラーコレクション

コード）を格納するための領域であり、ユーザ領域25に格納されたデータに含まれるデータの誤りが所定数以下であれば、エラーコレクションコード格納領域27に格納されたエラーコレクションコードを用いてこれを訂正し、正しいデータとすることができる。

【0058】仮想ブロックアドレス格納領域28は、当該物理ブロックが属する仮想ブロックのアドレス（仮想ブロックアドレス）を格納するための領域である。仮想ブロック及び仮想ブロックアドレスの詳細については後述する。

【0059】冗長領域26のその他の領域には、当該ブロックについての異常を表示するブロックステータス等が格納されているが、これらについての説明は省略する。

【0060】このように、各ページは、512バイトのユーザ領域25と16バイトの冗長領域26からなるので、各ページは、 $8 \times (512 \text{ バイト} + 16 \text{ バイト}) = 4224$ 個のフラッシュメモリセルによって構成されることになる。

【0061】このように、各フラッシュメモリチップ2-0～2-3はそれぞれ8192個の物理ブロックによって構成されるが、このうち、8000個の物理ブロックは実際にデータを格納することができるブロック（以下、「実使用ブロック」という）として取り扱われ、残りの192個のブロックは「冗長ブロック」として取り扱われる。冗長ブロックは、データ書き込みに備えて待機している空きブロックである。フラッシュメモリチップ2-0～2-3のアドレス空間は、実使用ブロックのみによって構成される。また、ある物理ブロックに不良が発生し、使用不能となった場合には、不良が発生したブロックの数だけ冗長ブロックとして割り当てられる物理ブロックの数が減らされる。

【0062】さらに、実使用ブロックは、各フラッシュメモリチップ2-0～2-3から一つずつ選ばれた4つの物理ブロックが仮想的に結合された「仮想ブロック」を構成する。これにより、仮想ブロック#0～#7999からなる最大8000個の仮想ブロックが構成される。以下に詳述するが、本実施態様においては8000個の仮想ブロックのうち、先頭の2つの仮想ブロック（仮想ブロック#0、#1）を「縦書き仮想ブロック」と呼び、その他の仮想ブロック（仮想ブロック#2～#7999）を「横書き仮想ブロック」と呼んで、両者を区別する。ここで、縦書き仮想ブロックは、ホストアドレスの先頭部分を含む領域に対応し、FAT（ファイル・アロケーション・テーブル）等が格納されることが一般的である。このため、縦書き仮想ブロックにおいては、横書き仮想ブロックと比べて、小さいセクタ単位（ページ単位）で頻繁に書き込みが発生することが多い。

【0063】図6は、仮想ブロックのマッピングの一例

10

20

30

40

50

を示す図である。

【0064】図6に示される例では、フラッシュメモリチップ2-0に含まれる物理ブロック#150、フラッシュメモリチップ2-1に含まれる物理ブロック#6811、フラッシュメモリチップ2-2に含まれる物理ブロック#8191、フラッシュメモリチップ2-3に含まれる物理ブロック#3048が仮想的に結合され、一つの仮想ブロックを構成している。このように、本実施態様においては、ひとつの仮想ブロックを構成する4つの物理ブロックは互いに異なるフラッシュメモリチップに含まれていることが必要である。このようにして、最大8000個の仮想ブロックが構成される。

【0065】図7は、図6に示された仮想ブロックの仮想ページ構造を示す図である。

【0066】図7に示されるように、仮想ブロックは、仮想ページ#0～仮想ページ#127からなる128個の仮想ページによって構成される一つのブロックとして取り扱われる。ここで、仮想ブロックのうち、物理ブロック#150からなる部分に含まれる32個のページは、仮想ページ番号として4i (iは、物理ページ番号) が与えられ、物理ブロック#6811からなる部分に含まれる32個のページは、仮想ページ番号として4i+1が与えられ、物理ブロック#8191からなる部分に含まれる32個のページは、仮想ページ番号として4i+2が与えられ、物理ブロック#3048からなる部分に含まれる32個のページは、仮想ページ番号として4i+3が与えられる。詳細は後述するが、これら仮想ページ番号は、ホストアドレスの下位7ビットと対応している。

【0067】次に、仮想ブロックとこれを構成する4つの物理ブロックとの関係について説明する。

【0068】上述のとおり、本実施態様においては、各フラッシュメモリチップ2-0～2-3に含まれる8192個の物理ブロックによって、最大8000個の仮想ブロックが構成されるが、これら8000個の仮想ブロックと各仮想ブロックを構成する4つの物理ブロックとの関係は、SRAMワークエリア8上に展開されるアドレス変換テーブル31に保持される。

【0069】図8は、アドレス変換テーブル31のデータ構造を示す概略図である。

【0070】図8に示されるように、アドレス変換テーブル31は、仮想ブロック表示領域#0～#7999からなる8000個の仮想ブロック表示領域がこの順に並んで構成され、これら各仮想ブロック表示領域#0～#7999は、それぞれセル#j-0～セル#j-3 (jは、仮想ブロックアドレス) からなる4個のセル及びフラグ#j-0～フラグ#j-3からなる4個のフラグによって構成される。例えば、仮想ブロック表示領域#0はセル#0-0～セル#0-3及びフラグ#0-0～フラグ#0-3によって構成され、仮想ブロック表示領域

#1はセル#1-0～セル#1-3及びフラグ#1-0～フラグ#1-3によって構成される。したがって、アドレス変換テーブル31は、32000個のセルと32000個のフラグによって構成されることになる。ここで、セル#j-0を構成するスロット#0はフラッシュメモリチップ2-0に対応し、セル#j-1を構成するスロット#1はフラッシュメモリチップ2-1に対応し、セル#j-2を構成するスロット#2はフラッシュメモリチップ2-2に対応し、セル#j-3を構成するスロット#3はフラッシュメモリチップ2-3に対応している。

【0071】各仮想ブロック表示領域に含まれるセル#j-0～#j-3には、それぞれ当該仮想ブロックを構成する物理ブロックのアドレス (物理ブロックアドレス) が格納される。ここで、「物理ブロックアドレス」とは、各物理ブロックに割り当てられたブロック番号を2進数で表したアドレスであり、13ビットで構成される。例えば、図6及び図7に示された仮想ブロックが、仮想ブロック#0であるとすれば、当該仮想ブロックは、物理ブロック#150、物理ブロック#6811、物理ブロック#8191及び物理ブロック#3048より構成されることから、これら物理ブロックの物理ブロックアドレスはそれぞれ「0000010010110B」、「1101010011011B」、「1111111111111B」及び「0101111101000B」となり、セル#0-0～#0-3には、これら物理ブロックアドレスがそれぞれ格納されることになる。

【0072】また、各仮想ブロックに含まれるフラグ#j-0～フラグ#j-3は、当該セルに格納されている内容が有効であるか無効であるかを示している。具体的には、フラグが「1」を示していれば対応するセルの内容は有効であり、フラグが「0」を示していれば対応するセルの内容は無効である。したがって、対応するフラグが「0」を示しているセルについては、その内容は無視される。

【0073】また、アドレス変換テーブル31を構成する8000個の仮想ブロック表示領域のうち、仮想ブロック表示領域#0及び#1は縦書き仮想ブロックに対応する領域であり、仮想ブロック表示領域#2～#7999は横書き仮想ブロックに対応する領域となる。

【0074】上述のように、アドレス変換テーブル31は、32000個のセルと32000個のフラグによって構成されており、各セルには13ビットの情報 (物理ブロックアドレス)、各フラグには1ビットの情報を格納する必要があるから、アドレス変換テーブル31は、SRAMワークエリア8の記憶容量のうち、約64kバイトを占有することとなる。

【0075】アドレス変換テーブル31の生成は、次のように行われる。

【0076】フラッシュメモリチップ2-0~2-3を構成する各物理ブロックのうち、データが格納されているブロックの各先頭ページ（物理ページ#0）の冗長領域26に含まれる仮想ブロックアドレス格納領域28には、当該物理ブロックがどの仮想ブロックに属するかを示す仮想ブロックアドレスが含まれており、各物理ブロックの各先頭ページ（物理ページ#0）に含まれている仮想ブロックアドレスがマイクロプロセッサ6による制御のもと、フラッシュメモリインターフェースブロック10を介して読み出される。

【0077】ここで、消去済みの空きブロックにおいては、冗長領域26の仮想ブロックアドレス格納領域28に格納されている仮想ブロックアドレスは「オール1（11111111111111B）」となっているはずである。すなわち、仮想ブロックは、上述のとおり、#0（0000000000000000B）~#7999（11111001111111B）までしかなく、したがって、これがオール1（11111111111111B）である場合には、当該物理ブロックが消去済みの空きブロックであると判断することができる。一方、冗長領域26の仮想ブロックアドレス格納領域28に格納された仮想ブロックアドレスが「0000000000000000B」~「11111001111111B」である場合には、当該仮想ブロックアドレスは有効な仮想ブロックアドレスである。

【0078】したがって、マイクロプロセッサ6は、各物理ブロックの先頭ページ（物理ページ#0）の冗長領域26に含まれる仮想ブロックアドレスを参照し、これがオール1ではなく有効な仮想ブロックのアドレスを示していれば、アドレス変換テーブル31を構成するセルのうち、チップ番号（#0~#3）及び読み出された仮想ブロックアドレスによって特定されるセルに、当該物理ブロックの物理ブロックアドレスを格納する。例えば、フラッシュメモリチップ2-0に属する物理ブロック#12より読み出された仮想ブロックアドレスが「123」であれば、セル#123-0に、物理ブロックアドレスとして「12」が書き込まれ、さらに、対応するフラグ#123-0が「1」にされる。

【0079】このような処理が、データが格納されている全ての物理ブロックについて行われる。これにより、アドレス変換テーブル31の生成が完了する。

【0080】次に、SRAMワークエリア8に格納される消去済みブロックキュー32のデータ構造について説明する。

【0081】図9は、SRAMワークエリア8に格納される消去済みブロックキュー32のデータ構造を示す概略図である。

【0082】図9に示されるように、消去済みブロックキュー32は、キューセット#0~#5からなる6つのキューセットによって構成され、これらは、それぞれキ

ュー#k-0~キュー#k-3（kは、キューセット番号）からなる4個のキューによって構成される。例えば、キューセット#0はキュー#0-0~キュー#0-3によって構成され、キューセット#1はキュー#1-0~キュー#1-3によって構成される。したがって、消去済みブロックキュー32は、24個のキューによって構成される。ここで、キュー#k-0はフラッシュメモリチップ2-0に対応し、キュー#k-1はフラッシュメモリチップ2-1に対応し、キュー#k-2はフラッシュメモリチップ2-2に対応し、キュー#k-3はフラッシュメモリチップ2-3に対応している。

【0083】各キューセット#0~#5を構成するキュー#k-0~#k-3には、ユーザ領域25を構成する全てのフラッシュメモリセル16が消去状態となっている物理ブロックの物理ブロックアドレスが格納される。したがって、例えば、フラッシュメモリチップ2-0に属する消去済みの物理ブロック#153を消去済みブロックキュー32に登録する場合、当該物理ブロックアドレスである「0000010011001B（153）」がキュー#0-0~#5-0のいずれかに格納される。同様に、例えば、フラッシュメモリチップ2-2に属する消去済みのブロック#6552を消去済みブロックキュー32に登録する場合、当該物理ブロックアドレスである「1100110011000B（6552）」がキュー#0-2~#5-2のいずれかに格納される。

【0084】このようにして、各フラッシュメモリチップ2-0~2-3ごとに最大6つの消去済みブロックの物理ブロックアドレスが消去済みブロックキュー32に登録され、これによって最大6つのキューセット#0~#5が生成される。

【0085】消去済みブロックキュー32の生成は、マイクロプロセッサ6による制御のもと、上述したアドレス変換テーブル31の生成の際に行われ、データ書き込みに備えて待機している冗長ブロックの中から、これらキューに登録すべき物理ブロックが選ばれる。

【0086】次に、本実施態様にかかるフラッシュメモリシステム1の動作について、データの読み出し動作、データの書き込み動作の順に説明する。

【0087】まず、本実施態様にかかるフラッシュメモリシステム1によるデータの読み出し動作について説明する。

【0088】データの読み出し動作においては、ホストアドレスから内部アドレスへの変換が行われた後、かかる内部アドレスを用いてユーザデータの読み出し実行されるが、アクセス対象となる仮想ブロックが横書き仮想ブロックであるか、縦書き仮想ブロックであるかによってアドレス変換の方法が異なる。以下、アクセス対象となる仮想ブロックが横書き仮想ブロックである場合と、縦書き仮想ブロックである場合に分け、それぞれ具体的

な例を挙げて詳細に説明する。

【0089】読み出し動作1（横書き仮想ブロックからデータを読み出す場合）ここでは、ホストコンピュータ5より、バス14、コネクタ4及びバス13を介して、外部コマンドの一種である外部読み出しコマンドとともにホストアドレス、例えば「00000111111111100000B」がフラッシュメモリシステム1に供給された場合を例に説明する。

【0090】まず、ホストアドレス及び外部読み出しコマンドがコントローラ3に供給されると、これらホストアドレス及び外部読み出しコマンドは、ホストインターフェースブロック7が有するタスクファイルレジスタ（図示せず）に一時的に格納される。

【0091】次に、タスクファイルレジスタ（図示せず）に格納されたホストアドレスが正しいアドレスであるか否か、すなわち、かかるホストアドレスが、本来存在しない物理アドレスや無効なアドレスを示していないか否かが、ホストインターフェースブロック7によって判定される。

【0092】かかる判定の結果、タスクファイルレジスタ（図示せず）に格納されたホストアドレスが有効なアドレスであると判断されれば、アドレス変換テーブル31を用いて内部アドレスに変換される。一方、これが異常なアドレスであると判断されれば、ホストインターフェースブロック7が有するエラーレジスタ（図示せず）がセットされ、ホストコンピュータは、かかるレジスタの内容を参照することにより、エラーの発生を知ることができる。

【0093】次に、アクセス対象である仮想ブロックが横書き仮想ブロックである場合におけるアドレス変換テーブル31を用いた内部アドレスへの変換について、図10を参照しながら説明する。

【0094】図10においては、便宜上、ホストアドレスから上位13ビットを「A」とし、上位14ビット目～上位18ビット目からなる5ビットを「B」とし、下位2ビットを「C」と表記している。

【0095】まず、マイクロプロセッサ6による制御のもと、20ビットのホストアドレスから上位13ビット（A）が取り出され、これによってアドレス変換テーブル31内のいずれかの仮想ブロック表示領域が選択される。本例では、ホストアドレスの上位13ビット（A）が「00000111111111B（255）」であるから、選択される仮想ブロック表示領域は、仮想ブロック表示領域#255となる。このとき、アクセス対象である仮想ブロックが横書き仮想ブロックであると判断される。

【0096】アクセス対象である仮想ブロックが横書き仮想ブロックであると判断されると、次に、マイクロプロセッサ6による制御のもと、選択された仮想ブロック表示領域#255に含まれる4個のセル及び4個のフラ

グのうち、ホストアドレスの下位2ビット（C）と同じ枝番号を有するセル及びフラグの内容が読み出される。この場合、ホストアドレスの下位2ビット（C）が「00B（0）」であるから、その内容が読み出されるセル及びフラグは、セル#255-0及びフラグ#255-0となる。図10に示されるように、本例では、かかるセル#255-0の内容が「00001000011111B」であるものとする。また、本例はデータの読み出し動作であるから、フラグ#255-0は「1（有効）」となっているはずである。したがって、仮にフラグ#255-0が「0（無効）」である場合には、エラーとなる。

【0097】次に、マイクロプロセッサ6による制御のもと、ホストアドレスの下位2ビット（C）、読み出されたセルの内容、及びホストアドレスの上位14ビット目～上位18ビット目からなる5ビット（B）がこの順に結合される。結合されたアドレスは、内部アドレスとなる。この場合、ホストアドレスの下位2ビット（C）は「00B」であり、読み出されたセルの内容は「00001000011111B」であり、ホストアドレスの上位14ビット目～上位18ビット目からなる5ビット（B）は「11000B」であることから、得られる内部アドレスは、図10に示されるように、「00000010000111111000B」となる。

【0098】以上より、ホストアドレスから内部アドレスへの変換が完了する。

【0099】一方、ホストインターフェースブロック7が有するタスクファイルレジスタ（図示せず）に外部読み出しコマンドが格納されていることに応答して、マイクロプロセッサ6による制御のもと、フラッシュシーケンサブロック12が有するレジスタ（図示せず）に対する設定がなされる。かかる設定は、次のように行われる。

【0100】まず、マイクロプロセッサ6による制御のもと、内部コマンドの一種である内部読み出しコマンドがフラッシュシーケンサブロック12内の所定のレジスタ（図示せず）に設定される。さらに、マイクロプロセッサ6による制御のもと、20ビット長の内部アドレスがフラッシュシーケンサブロック12内の所定のレジスタ（図示せず）に設定される。

【0101】このようにしてフラッシュシーケンサブロック12に含まれる各種レジスタに対する設定が完了すると、フラッシュシーケンサブロック12による一連の読み出し動作が実行される。フラッシュシーケンサブロック12による一連の読み出し動作は、次の通りである。

【0102】まず、フラッシュシーケンサブロック12は、所定のレジスタに格納された内部アドレスの上位2ビットに基づき、フラッシュメモリチップ2-0～2-3のうち、アクセスすべきページが属するフラッシュメ

メモリチップに対応するチップ選択信号を活性化するように、フラッシュメモリインターフェースブロック10に指示する。この場合、内部アドレスの上位2ビットは「00B(0)」であるから、アクセスすべきページが属するフラッシュメモリチップは、フラッシュメモリチップ2-0であり、チップ選択信号#0が活性化される。これにより、フラッシュメモリチップ2-0は、データの読み出しが可能な状態となる。一方、チップ選択信号#1~#3は、非活性状態が保たれる。

【0103】次に、フラッシュシーケンサブブロック12は、所定のレジスタに格納された内部アドレスの下位18ビット「000010000111111000B」を、所定のレジスタに格納された内部読み出しコマンドとともにバス15に供給するよう、フラッシュメモリインターフェースブロック10に指示する。バス15に供給された18ビットの内部アドレス及び内部読み出しコマンドは、フラッシュメモリチップ2-0~2-3に対し共通に供給されるが、上述のとおり、チップ選択信号#0は活性状態となっており、チップ選択信号#1~#3は非活性状態となっているので、バス15に供給された内部アドレス及び内部読み出しコマンドは、フラッシュメモリチップ2-0に対してのみ有効となる。

【0104】これにตอบสนองして、フラッシュメモリチップ2-0は、供給された18ビットの内部アドレス「000010000111111000B」に格納されたデータの読み出しを実行する。ここで、供給された18ビットの内部アドレス「000010000111111000B」のうち、上位13ビットは物理ブロックを特定し、下位5ビットは当該物理ブロック内の物理ページを特定するために用いられる。この場合、上位13ビットは「00001000011111B(271)」であり、下位5ビットは「11000B(24)」であるから、特定される物理ブロックはブロック#271となり、特定される物理ページは物理ページ#24となる。すなわち、フラッシュメモリチップ2-0は、ブロック#271の物理ページ#24に格納されたデータの読み出しを実行する。かかる読み出し動作においては、ユーザ領域25に格納されたユーザデータのみならず、冗長領域26に格納された各種付加情報も読み出される。

【0105】尚、図7において説明したように、本実施態様においては、4つの物理ブロックが仮想的に結合されて一つの仮想ブロックが構成されているので、フラッシュメモリチップ2-0に属する物理ブロック#271の物理ページ#24は、仮想ブロック#255の仮想ページ#96に対応する。

【0106】このようにしてフラッシュメモリチップ2-0から読み出されたユーザデータ及び付加情報は、バス15を介してフラッシュメモリインターフェースブロック10に供給される。フラッシュメモリインターフェースブロック10がユーザデータ及び付加情報を受け取

ると、フラッシュシーケンサブブロック12による制御のもと、付加情報に含まれるエラーコレクションコードが抽出され、ユーザデータ及び抽出されたエラーコレクションコードがECCブロック11に供給される。ユーザデータ及びエラーコレクションコードがECCブロック11に供給されると、ECCブロック11は、エラーコレクションコードに基づき、ユーザデータに誤りがあるか否かを判断し、誤りがないと判断すれば、供給されたユーザデータをそのままバッファ9に格納し、誤りがあると判断すれば、これをエラーコレクションコードに基づいて訂正し、訂正後のユーザデータをバッファ9に格納する。このようにしてバッファ9に誤りのないユーザデータが格納されると、フラッシュシーケンサブブロック12による一連の読み出し動作が完了する。

【0107】そして、バッファ9に格納されたユーザデータは、マイクロプロセッサ6による制御のもと、ホストインターフェースブロック7より、バス13、コネクタ4及びバス14を介してホストコンピュータ5に供給される。

【0108】以上により、一連の読み出し動作が完了する。

【0109】このように、アクセス対象となる仮想ブロックが横書き仮想ブロックである場合には、ホストアドレスの下位2ビット(C)が内部アドレスの上位2ビットに割り当てられ、ホストアドレスの上位14ビット目~上位18ビット目からなる5ビット(B)が内部アドレスの下位5ビットに割り当てられることから、ホストアドレスの連続する下位7ビット「0000000B」~「1111111B」は、それぞれ当該仮想ブロックの仮想ページ#0~#127に対応することになる。

【0110】次に、アクセス対象となる仮想ブロックが縦書き仮想ブロックである場合の読み出し動作について説明する。

【0111】読み出し動作2(縦書き仮想ブロックからデータを読み出す場合)ここでは、ホストコンピュータ5より、バス14、コネクタ4及びバス13を介して、外部コマンドの一種である外部読み出しコマンドとともにホストアドレス、例えば「000000000000000101010101B」がフラッシュメモリシステム1に供給された場合を例に説明する。

【0112】まず、ホストアドレス及び外部読み出しコマンドがコントローラ3に供給されると、上述したように、かかるホストアドレスが有効なアドレスであるか否かが、ホストインターフェースブロック7によって判定され、その結果、これが有効なアドレスであると判断されれば、アドレス変換テーブル31を用いて内部アドレスに変換される。

【0113】次に、アクセス対象である仮想ブロックが縦書き仮想ブロックである場合におけるアドレス変換テーブル31を用いた内部アドレスへの変換について、図

11を参照しながら説明する。

【0114】図11においては、便宜上、ホストアドレスから上位13ビットを「A」とし、上位14ビット目及び上位15ビット目からなる2ビットを「D」とし、下位5ビットを「E」と表記している。

【0115】まず、マイクロプロセッサ6による制御のもと、20ビットのホストアドレスから上位13ビット（A）が取り出され、これによってアドレス変換テーブル31内のいずれかの仮想ブロック表示領域が選択される。本例では、ホストアドレスの上位13ビット（A）が「0000000000000000B（0）」であるから、選択される仮想ブロック表示領域は、仮想ブロック表示領域#0となる。このとき、アクセス対象である仮想ブロックが縦書き仮想ブロックであると判断される。

【0116】アクセス対象である仮想ブロックが縦書き仮想ブロックであると判断されると、次に、マイクロプロセッサ6による制御のもと、選択された仮想ブロック表示領域#0に含まれる4個のセル及び4個のフラグのうち、ホストアドレスの上位14ビット目及び上位15ビット目からなる2ビット（D）と同じ枝番号を有するセル及びフラグの内容が読み出される。この場合、かかる2ビット（D）が「10B（2）」であるから、その内容が読み出されるセル及びフラグは、セル#0-2及びフラグ#0-2となる。図11に示されるように、本例では、かかるセル#0-2の内容が「1110000000000000B」であるものとする。また、本例もデータの読み出し動作であるから、フラグ#0-2は「1（有効）」となっているはずであり、仮にフラグ#0-2が「0（無効）」である場合には、エラーとなる。

【0117】次に、マイクロプロセッサ6による制御のもと、ホストアドレスの上位14ビット目及び上位15ビット目からなる2ビット（D）、読み出されたセルの内容、及びホストアドレスの下位5ビット（E）がこの順に結合される。結合されたアドレスは、内部アドレスとなる。この場合、ホストアドレスの上位14ビット目及び上位15ビット目からなる2ビット（D）は「10B」であり、読み出されたセルの内容は「1110000000000000B」であり、ホストアドレスの下位5ビット（E）は「10101B」であることから、得られる内部アドレスは、図11に示されるように、「1011100000000000010101B」となる。

【0118】以上より、ホストアドレスから内部アドレスへの変換が完了する。

【0119】このように、アクセス対象である仮想ブロックが縦書き仮想ブロックである場合には、アクセス対象である仮想ブロックが横書き仮想ブロックである場合とは異なる方法で内部アドレスへの変換が行われる。

【0120】このようにしてホストアドレスから内部アドレスへの変換が完了すると、その後は、上述した読み出し動作1と同様の動作が行われる。本例においては、

内部アドレスの上位2ビットが「10B（2）」であるから、アクセスすべきページが属するフラッシュメモリチップは、フラッシュメモリチップ2-2であり、チップ選択信号#2が活性化される。また、本例においては、内部アドレスの下位18ビットが「1110000000000010101B」であるから、フラッシュメモリチップ2-2は、供給された18ビットの内部アドレス「1110000000000010101B」に格納されたデータの読み出しを実行する。上述のとおり、供給された18ビットの内部アドレス「1110000000000010101B」のうち、上位13ビットは物理ブロックを特定し、下位5ビットは当該物理ブロック内の物理ページを特定するために用いられる。この場合、上位13ビットは「1110000000000000B（7168）」であり、下位5ビットは「10101B（21）」であるから、特定される物理ブロックはブロック#7168となり、特定される物理ページは物理ページ#21となる。すなわち、フラッシュメモリチップ2-2は、ブロック#7168の物理ページ#21に格納されたデータの読み出しを実行する。

【0121】尚、図7において説明したように、本実施態様においては、4つの物理ブロックが仮想的に結合されて一つの仮想ブロックが構成されているので、フラッシュメモリチップ2-2に属する物理ブロック#7168の物理ページ#21は、仮想ブロック#0の仮想ページ#86に対応する。

【0122】このようにしてフラッシュメモリチップ2-2から読み出されたユーザデータ及び付加情報は、上述のとおりECCブロック11に供給され、その後、誤りのないユーザデータがバッファ9に格納される。そして、バッファ9に格納されたユーザデータは、マイクロプロセッサ6による制御のもと、ホストインターフェースブロック7より、バス13、コネクタ4及びバス14を介してホストコンピュータ5に供給される。

【0123】以上により、一連の読み出し動作が完了する。

【0124】このように、アクセス対象となる仮想ブロックが縦書き仮想ブロックである場合には、ホストアドレスの上位14ビット目及び上位15ビット目からなる2ビット（D）が内部アドレスの上位2ビットに割り当てられ、ホストアドレスの下位5ビット（E）が内部アドレスの下位5ビットに割り当てられることから、ホストアドレスの連続する下位7ビット「00000000B」～「00111111B」は、当該仮想ブロックを構成する物理ブロックのうち、フラッシュメモリチップ2-0に属する物理ブロックの物理ページ#0～#31にそれぞれ対応し、ホストアドレスの連続する下位7ビット「01000000B」～「01111111B」は、当該仮想ブロックを構成する物理ブロックのうち、フラッシュメモリチップ2-1に属する物理ブロックの物理ペ

ージ#0～#31にそれぞれ対応し、ホストアドレスの連続する下位7ビット「1000000B」～「1011111B」は、当該仮想ブロックを構成する物理ブロックのうち、フラッシュメモリチップ2-2に属する物理ブロックの物理ページ#0～#31にそれぞれ対応し、ホストアドレスの連続する下位7ビット「1100000B」～「1111111B」は、当該仮想ブロックを構成する物理ブロックのうち、フラッシュメモリチップ2-3に属する物理ブロックの物理ページ#0～#31にそれぞれ対応することになる。

【0125】このようにアクセス対象となる仮想ブロックが縦書き仮想ブロックであるか、横書き仮想ブロックであるかによってアドレス変換の方法を異なるものとしている意義については、後述するフラッシュメモリシステム1による種々のデータ書き込み動作の説明において明らかとなる。

【0126】次に、本実施態様にかかるフラッシュメモリシステム1による種々のデータ書き込み動作について説明する。

【0127】データ書き込み動作においては、アクセス対象となる仮想ブロックが横書き仮想ブロックである場合と、縦書き仮想ブロックである場合において動作が異なる他、アクセス対象となる仮想ブロックが存在しない場合（新規にデータを書き込む場合）とアクセス対象となる仮想ブロックがすでに存在する場合（データを上書きする場合）において動作が異なる。したがって、それぞれの場合について説明する。

【0128】書き込み動作1（空きブロックにデータを書き込む場合（ホストアドレスが横書き仮想ブロックに対応する場合））

空きブロックにデータを書き込む場合、すなわち新規データの書き込み動作においてホストアドレスが横書き仮想ブロックに対応する場合には、仮想ブロックの生成、生成された仮想ブロックの仮想ページ#0～#3に対する冗長データの書き込み、生成された仮想ブロックの所定の仮想ページに対するユーザデータの書き込みが実行される。

【0129】ここでは、ホストコンピュータ5より、バス14、コネクタ4及びバス13を介して、外部コマンドの一種である外部書き込みコマンドと、対応する仮想ブロックにデータが割り当てられていない連続した複数のホストアドレス、例えば「0001010101010101000100B」～「0001010101010101000111B」と、これら各アドレスに書き込むべきデータとがフラッシュメモリシステム1に供給された場合を例に説明する。ここでは、これら連続するホストアドレスを、ホストアドレス#0～#3と呼ぶ。

【0130】まず、ホストアドレス#0～#3及び外部書き込みコマンドがコントローラ3に供給されると、これらホストアドレス#0～#3及び外部書き込みコマン

ドは、ホストインターフェースブロック7が有するタスクファイルレジスタ（図示せず）に一時的に格納される。さらに、ホストアドレス#0～#3にそれぞれ対応する書き込みデータがコントローラ3に供給されると、マイクロプロセッサ6による制御のもと、これらデータがECCブロック11に送出される。これらデータの供給を受けたECCブロック11は、これらデータを解析してエラーコレクションコードを生成し、これを一時的に保持する。

10 【0131】次に、タスクファイルレジスタ（図示せず）に格納されたホストアドレス#0～#3が正しいアドレスであるか否か、すなわち、かかるホストアドレス#0～#3が、本来存在しない物理アドレスや無効なアドレスを示していないか否かが、ホストインターフェースブロック7によって判定される。

【0132】かかる判定の結果、タスクファイルレジスタ（図示せず）に格納されたホストアドレス#0～#3が有効なアドレスであると判断されれば、アドレス変換テーブル31を用いて内部アドレスに変換される。一方、これが異常なアドレスであると判断されれば、ホストインターフェースブロック7が有するエラーレジスタ（図示せず）がセットされ、ホストコンピュータは、かかるレジスタの内容を参照することにより、エラーの発生を知ることができる。

【0133】図12は、アクセス対象である仮想ブロックが横書き仮想ブロックである場合におけるアドレス変換テーブル31を用いた内部アドレスへの変換方法を説明するための図である。

30 【0134】図12に示されるように、本例では、ホストアドレス#0～#3の上位13ビット（A）が「000101010101010B（682）」であるから、選択される仮想ブロック表示領域は、仮想ブロック表示領域#682となる。このとき、アクセス対象である仮想ブロックが横書き仮想ブロックであると判断される。

【0135】アクセス対象である仮想ブロックが横書き仮想ブロックであると判断されると、次に、マイクロプロセッサ6による制御のもと、SRAMワークエリア8に格納されているアドレス変換テーブル31から、仮想ブロック表示領域#682の内容が読み出される。ここでは、新規データの書き込み動作、すなわち対応する仮想ブロックに現在データが割り当てられていないホストアドレスに対して新しくデータを割り当てる動作であるので、仮想ブロック表示領域#682内の各フラグ#682-0～#682-3はいずれも「0（無効）」を示しているはずである。尚、これらフラグ#682-0～#682-3が「1（有効）」となっている場合は、当該書き込み処理は「データの上書き処理」であり、その動作については後述する。

50 【0136】次に、マイクロプロセッサ6による制御のもと、消去済みブロックキュー32を構成するキューセ

ット#0~#5のいずれか、例えば、キューセット#0が選択され、かかるキューセット#0を構成する各キュー#0~#3に格納された内容が読み出される。上述のとおり、各キューに格納されているのは、消去済みブロックの物理ブロックアドレスである。図12に示されるように、本例では、これらキュー#0~#3の内容がそれぞれ「0000000001111B(15)」、「1110000110011B(7219)」、「0101111110000B(3056)」、「1000100000000B(4352)」であるものとする。

【0137】キュー#0~#3に格納された内容が読み出されると、これらが仮想ブロック表示領域#682のセル#682-0~セル#682-3にそれぞれ格納され、対応する各フラグ#682-0~#682-3が全て「1(有効)」に書き換えられる。これにより、仮想ブロックの生成が完了する。

【0138】そして、図12に示されるように、マイクロプロセッサ6による制御のもと、ホストアドレス#0~#3それぞれの下位2ビット(C)、対応するキューの内容、及びホストアドレス#0~#3の上位14ビット目~上位18ビット目からなる5ビット(B)がこの順に結合される。結合されたアドレスは、それぞれ内部アドレス#0~#3となる。この場合、ホストアドレス#0~#3の下位2ビット(C)はそれぞれ「00B」~「11B」であり、読み出されたセルの内容は「0000000001111B」、「1110000110011B」、「0101111110000B」、「1000100000000B」であり、ホストアドレス#0~#3の上位14ビット目~上位18ビット目からなる5ビット(B)はいずれも「10001B」であることから、得られる4つの内部アドレス#0~#3の値は、図12に示される値となる。

【0139】これにより、ホストアドレス#0~#3から内部アドレス#0~#3への変換が完了する。上述のとおり、内部アドレスの上位2ビットは、アクセスすべきフラッシュメモリチップの番号を示し、内部アドレスの上位3ビット目~上位15ビット目は、アクセスすべき物理ブロックアドレスを示し、内部アドレスの下位5ビットは、アクセスすべき物理ページを示している。したがって、内部アドレス#0によって特定される物理ページは、フラッシュメモリチップ2-0の物理ブロック#15の物理ページ#17となり、内部アドレス#1によって特定される物理ページは、フラッシュメモリチップ2-1の物理ブロック#7219の物理ページ#17となり、内部アドレス#2によって特定される物理ページは、フラッシュメモリチップ2-2の物理ブロック#3056の物理ページ#17となり、内部アドレス#3によって特定される物理ページは、フラッシュメモリチップ2-3の物理ブロック#4352の物理ページ#1

7となる。

【0140】さらに、ホストインターフェースブロック7が有するタスクファイルレジスタ(図示せず)に外部書き込みコマンドが格納されていることに応答して、マイクロプロセッサ6による制御のもと、フラッシュシーケンサブロック12が有するレジスタ(図示せず)に対する設定がなされる。かかる設定は、次のように行われる。

【0141】まず、マイクロプロセッサ6による制御のもと、内部コマンドの一種であるデータ転送コマンド及び内部書き込みコマンドがフラッシュシーケンサブロック12内の所定のレジスタ(図示せず)に設定される。さらに、マイクロプロセッサ6による制御のもと、上記生成された4つの内部アドレス#0~#3がフラッシュシーケンサブロック12内の所定のレジスタ(図示せず)に設定される。

【0142】このようにしてフラッシュシーケンサブロック12に含まれる各種レジスタ(図示せず)に対する設定が完了すると、フラッシュシーケンサブロック12による一連の書き込み動作が実行される。本例においては、フラッシュシーケンサブロック12による一連の書き込み動作は、仮想ブロック#682の仮想ページ#0~#3に対する各種冗長データの書き込み、並びに、仮想ブロック#682の仮想ページ#68~#71に対するユーザデータ及び各種冗長データの書き込みの順に実行される。

【0143】図13は、フラッシュシーケンサブロック12による仮想ブロック#682の仮想ページ#0~#3に対する一連の書き込み動作を概略的に示すタイミング図である。

【0144】まず、フラッシュシーケンサブロック12は、仮想ブロック#682の仮想ページ#0に対応する内部アドレス#5を生成する。ここで、仮想ブロック#682の仮想ページ#0に対応する内部アドレス#5とは、フラッシュメモリチップ2-0内の物理ブロック#15の物理ページ#0に対応し、その値は、「0000000000111100000B」である。

【0145】次に、このようにして生成された内部アドレス#5の上位2ビットに基づいて、フラッシュメモリチップ2-0~2-3のうち、アクセスすべきページが属するフラッシュメモリチップに対応するチップ選択信号を活性化するよう、フラッシュメモリインターフェースブロック10に指示する。この場合、内部アドレス#5の上位2ビットは「00B(0)」であるから、チップ選択信号#0が活性化される。これにより、フラッシュメモリチップ2-0は、データの書き込みが可能な状態となる。一方、チップ選択信号#1~#3は、非活性化状態が保たれる。

【0146】次に、フラッシュシーケンサブロック12は、上記内部アドレス#5の下位18ビット「0000

10

20

30

40

50

00000111100000B」を、所定のレジスタ（図示せず）に格納されたデータ転送コマンドとともにバス15に供給するよう、フラッシュメモリインターフェースブロック10に指示する。バス15に供給された内部アドレス#5の下位18ビット及びデータ転送コマンドは、フラッシュメモリチップ2-0~2-3に対し共通に供給されるが、上述のとおり、チップ選択信号#0は活性状態となっており、チップ選択信号#1~#3は非活性状態となっているので、バス15に供給された内部アドレス#5の下位18ビット及びデータ転送コマンドは、フラッシュメモリチップ2-0に対してのみ有効となる（転送先指定）。

【0147】これにより、フラッシュメモリチップ2-0は、供給された内部アドレス#5の下位18ビット「000000000111100000B」に対応するページに書き込まれるべきデータの受け付けが許可された状態となる。

【0148】次に、仮想ブロック#682の仮想ページ#0に書き込むべきデータが、フラッシュシーケンサブブロック12により、フラッシュメモリインターフェースブロック10を介して、バス15に供給される。ここで、仮想ブロック#682の仮想ページ#0とは、フラッシュメモリチップ2-0内の物理ブロック#15の物理ページ#0に対応し、ここに書き込むべきデータとは、仮想ブロックアドレス及びその他の付加情報であり、これらはいずれも冗長領域26に書き込まれるデータである。この場合、仮想ブロックアドレスは「000101010101010B（682）」である。フラッシュメモリチップ2-0内の物理ブロック#15の物理ページ#0のその他の部分、すなわち、ユーザ領域25の全部分、冗長領域26のうちエラーコレクションコード格納領域27等には何らのデータも書き込まれない。但し、各ページに対するデータの書き込みは、ページ単位で一括して行われるため、実際には、上記データを書き込まない部分については、書き込み処理が実行されないのではなく、「オール1」からなる書き込みデータが書き込まれることになる。

【0149】バス15に供給された仮想ブロックアドレス及び冗長領域26に格納されるその他の付加情報も、やはりフラッシュメモリチップ2-0~2-3に対し共通に供給されるが、上述のとおり、チップ選択信号#0が活性状態となっているため、フラッシュメモリチップ2-0に対してのみ有効となる（データ転送）。

【0150】このようにして、書き込みデータの受け付けが許可された状態にあるフラッシュメモリチップ2-0に対して仮想ブロックアドレス等の付加情報が転送されると、かかる付加情報は、フラッシュメモリチップ2-0内に備えられたレジスタ（図示せず）に一時的に格納される。

【0151】次に、フラッシュシーケンサブブロック12

は、所定のレジスタ（図示せず）に格納された内部書き込みコマンドを、フラッシュメモリチップ2-0に対して発行する（書き込み命令）。

【0152】これに回答して、フラッシュメモリチップ2-0は、所定のレジスタに格納されている上記付加情報を、転送先指定処理によって指定されたアドレスに書き込む（フラッシュプログラミング）。すなわち、レジスタに格納されている付加情報が、内部アドレス#5の下位18ビット「000000000111100000B」により特定されるページ、つまり、フラッシュメモリチップ2-0の物理ブロック#15の物理ページ#0に書き込まれる。フラッシュメモリチップ2-0の物理ブロック#15の物理ページ#0は、仮想ブロック#682の仮想ページ#0に対応する。

【0153】フラッシュメモリチップ2-0がフラッシュプログラミングを実行している間、フラッシュシーケンサブブロック12は、仮想ブロック#682の仮想ページ#1に対応する内部アドレス#6を生成し、当該内部アドレスにより示される物理ページに、仮想ページ#0に書き込んだ情報と同じ情報を書き込む。ここで、仮想ブロック#682の仮想ページ#1に対応する内部アドレス#6とは、フラッシュメモリチップ2-1内の物理ブロック#7219の物理ページ#0に対応し、その値は、「01111000011001100000B」である。

【0154】このような書き込み動作が、内部アドレス#7、#8を用いて仮想ブロック#682の仮想ページ#2及び仮想ページ#3に対しても行われ、これにより、仮想ブロック#682の仮想ページ#0~仮想ページ#3の冗長領域26には、いずれも同じ情報が書き込まれる。ここで、仮想ブロック#682の仮想ページ#2とは、フラッシュメモリチップ2-2の物理ブロック#3056の物理ページ#0に対応し、仮想ブロック#682の仮想ページ#3とは、フラッシュメモリチップ2-3の物理ブロック#4352の物理ページ#0に対応する。

【0155】このようにして、仮想ブロック#682の仮想ページ#0~#3に対する一連の書き込み処理が完了すると、次に、仮想ブロック#682の仮想ページ#68~#71に対するユーザデータ及び各種冗長データの書き込みが実行される。

【0156】フラッシュシーケンサブブロック12による仮想ブロック#682の仮想ページ#68~#71に対する一連の書き込み動作も、図13に示されるタイミングで実行される。以下、仮想ブロック#682の仮想ページ#68~#71に対する一連の書き込み動作について詳細に説明する。

【0157】まず、フラッシュシーケンサブブロック12は、所定のレジスタ（図示せず）に格納された内部アドレスのうち、上位2ビットが「00B（0）」である内

部アドレス#0を選択し、当該内部アドレス#0の上位2ビットに基づいて、フラッシュメモリチップ2-0~2-3のうち、アクセスすべきページが属するフラッシュメモリチップに対応するチップ選択信号を活性化するように、フラッシュメモリインターフェースブロック10に指示する。この場合、内部アドレス#0の上位2ビットは「00B(0)」であるから、アクセスすべきページが属するフラッシュメモリチップは、フラッシュメモリチップ2-0であり、チップ選択信号#0が活性化される。これにより、フラッシュメモリチップ2-0は、データの書き込みが可能な状態となる。一方、チップ選択信号#1~#3は、非活性状態が保たれる。

【0158】次に、フラッシュシーケンサブロック12は、内部アドレス#0の下位18ビット「0000000000111110001B」を、所定のレジスタ（図示せず）に格納されたデータ転送コマンドとともにバス15に供給するよう、フラッシュメモリインターフェースブロック10に指示する。バス15に供給された内部アドレス#0の下位18ビット及びデータ転送コマンドは、フラッシュメモリチップ2-0~2-3に対し共通に供給されるが、上述のとおり、チップ選択信号#0は活性状態となっており、チップ選択信号#1~#3は非活性状態となっているので、バス15に供給された内部アドレス#0の下位18ビット及びデータ転送コマンドは、フラッシュメモリチップ2-0に対してのみ有効となる（転送先指定）。

【0159】これにより、フラッシュメモリチップ2-0は、供給された内部アドレス#0の下位18ビット「0000000000111110001B」に対応するページに書き込まれるべきデータの受け付けが許可された状態となる。

【0160】次に、バッファ9に格納されている書き込みデータのうち、ホストアドレス#0に対応するデータ及び対応するエラーコレクションコード等の冗長領域26に格納すべき付加情報が、フラッシュシーケンサブロック12により、フラッシュメモリインターフェースブロック10を介して、バス15に供給される。ここで、冗長領域26に格納すべき付加情報のうち、仮想ブロックアドレスについては、仮想ページ#0~#3に格納された内容と同じである。バス15に供給されたデータ及びエラーコレクションコード等の付加情報も、やはりフラッシュメモリチップ2-0~2-3に対し共通に供給されるが、上述のとおり、チップ選択信号#0が活性状態となっているため、フラッシュメモリチップ2-0に対してのみ有効となる（データ転送）。

【0161】このようにして、書き込みデータの受け付けが許可された状態にあるフラッシュメモリチップ2-0に対して書き込みデータ及びエラーコレクションコード等の付加情報が転送されると、かかる書き込みデータ及びエラーコレクションコードは、フラッシュメモリチ

ップ2-0内に備えられたレジスタ（図示せず）に一時的に格納される。

【0162】次に、フラッシュシーケンサブロック12は、所定のレジスタ（図示せず）に格納された内部書き込みコマンドを、フラッシュメモリチップ2-0に対して発行する（書き込み命令）。

【0163】これに回答して、フラッシュメモリチップ2-0は、所定のレジスタに格納されているデータ及びエラーコレクションコード等の付加情報を、転送先指定処理によって指定されたアドレスに書き込む（フラッシュプログラミング）。すなわち、レジスタに格納されているデータ及びエラーコレクションコード等の付加情報が、内部アドレス#0の下位18ビット「0000000000111110001B」により特定されるページ、つまり、フラッシュメモリチップ2-0の物理ブロック#15の物理ページ#17に書き込まれる。フラッシュメモリチップ2-0の物理ブロック#15の物理ページ#17は、仮想ブロック#682の仮想ページ#68に対応する。

【0164】フラッシュメモリチップ2-0がフラッシュプログラミングを実行している間、フラッシュシーケンサブロック12は、所定のレジスタ（図示せず）に格納された内部アドレスのうち、上位2ビットが「01B(0)」である内部アドレス#1を選択し、当該内部アドレス#1の上位2ビットに基づいて、チップ選択信号#1を活性化させる。これにより、フラッシュメモリチップ2-1は、データの書き込みが可能な状態となる。

【0165】次に、フラッシュシーケンサブロック12は、内部アドレス#1の下位18ビット「111000011001110001B」を、所定のレジスタ（図示せず）に格納されたデータ転送コマンドとともにバス15に供給するよう、フラッシュメモリインターフェースブロック10に指示する。この場合、上述のとおり、チップ選択信号#1が活性状態となっているので、バス15に供給された内部アドレス#1の下位18ビット及びデータ転送コマンドは、フラッシュメモリチップ2-1に対してのみ有効となる（転送先指定）。

【0166】その後、上述のとおり、フラッシュメモリチップ2-1に対してデータ転送、及び書き込み命令の発行が行われ、ホストアドレス#1に対応するデータ及び対応するエラーコレクションコード等の付加情報が、内部アドレス#1により特定されるページに書き込まれる。この場合、内部アドレス#1の下位18ビットは「111000011001110001B」であるから、ホストアドレス#1に対応するデータ及び対応するエラーコレクションコード等の付加情報は、フラッシュメモリチップ2-1の物理ブロック#7219の物理ページ#17に書き込まれる。フラッシュメモリチップ2-1の物理ブロック#7219の物理ページ#17は、仮想ブロック#682の仮想ページ#69に対応する。

【0167】このようなデータ書き込み動作が、内部アドレス#2及び#3に対しても実行され、これにより、ホストアドレス#2及び#3に対応するデータ及び対応するエラーコレクションコード等の付加情報も、それぞれ内部アドレス#2及び#3により特定されるページへ書き込まれる。この場合、内部アドレス#2の下位18ビットは「010111111000010001B」であるから、ホストアドレス#2に対応するデータ及び対応するエラーコレクションコード等の付加情報は、フラッシュメモリチップ2-2の物理ブロック#3056の物理ページ#17に書き込まれる。同様に、内部アドレス#3の下位18ビットは「100010000000010001B」であるから、ホストアドレス#3に対応するデータ及び対応するエラーコレクションコード等の付加情報は、フラッシュメモリチップ2-3の物理ブロック#4352の物理ページ#17に書き込まれる。

【0168】ここで、フラッシュメモリチップ2-2の物理ブロック#3056の物理ページ#17は、仮想ブロック#682の仮想ページ#70に対応し、フラッシュメモリチップ2-3の物理ブロック#4352の物理ページ#17は、仮想ブロック#682の仮想ページ#71に対応する。

【0169】また、マイクロプロセッサ6は、上述のデータ書き込みによって、消去済みブロックキュー32のキューセット#0に格納された物理ブロックアドレスが、消去済みブロックの物理ブロックアドレスではなくなったことに応答して、新たな消去済みブロックを冗長ブロックの中から選択し、選択された消去済みブロックの物理ブロックアドレスを新たにキュー#0-0~#0-3に格納する。

【0170】このようにして、フラッシュシーケンサブロック12による一連の書き込み動作が完了する。

【0171】かかる一連の書き込み動作においては、連続するホストアドレス#0~#3に対応するデータが、それぞれ異なるフラッシュメモリチップ2-0~2-3に属する異なる物理ブロック内に書き込まれた点が重要である。これら4つの物理ブロックは、上述のとおり一つの仮想ブロック#682を構成し、連続するホストアドレス#0~#3に対応するデータは、当該仮想ブロック#682内の連続する仮想ページ#68~#71に書き込まれたことになる。

【0172】また、上記の例では、各物理ブロックの先頭ページである仮想ページ#0~#3以外のページ（仮想ページ#68~#71）にも、仮想ブロックアドレスを書き込んでいるが、これを省略しても構わない。

【0173】書き込み動作2（空きブロックにデータを書き込む場合（ホストアドレスが縦書き仮想ブロックに対応する場合））

空きブロックにデータを書き込む場合、すなわち新規デ

ータの書き込み動作においてホストアドレスが縦書き仮想ブロックに対応する場合には、部分的な仮想ブロックの生成、仮想ページ#0~#3のうち仮想ブロックが生成された部分に対する冗長データの書き込み、生成された部分的な仮想ブロックの所定の仮想ページに対するユーザデータの書き込みが実行される。

【0174】ここでは、ホストコンピュータ5より、バス14、コネクタ4及びバス13を介して、外部コマンドの一種である外部書き込みコマンドと、対応する仮想ブロックにデータが割り当てられていない連続した複数のホストアドレス、例えば「0000000000000010110000B」~「0000000000000010110011B」と、これら各アドレスに書き込むべきデータとがフラッシュメモリシステム1に供給された場合を例に説明する。本例においても、これら連続するホストアドレスを、ホストアドレス#0~#3と呼ぶ。

【0175】まず、ホストアドレス#0~#3、これらに対応する書き込みデータ及び外部書き込みコマンドがコントローラ3に供給されると、上述したように、かかるホストアドレスが有効なアドレスであるか否かが、ホストインターフェースブロック7によって判定されるとともに、ECCブロック11によって、これら書き込みに対応するエラーコレクションコードが生成される。その結果、ホストアドレスが有効なアドレスであると判断されれば、アドレス変換テーブル31を用いて内部アドレスに変換される。

【0176】図14は、アクセス対象である仮想ブロックが縦書き仮想ブロックである場合におけるアドレス変換テーブル31を用いた内部アドレスへの変換方法を説明するための図である。

【0177】図14に示されるように、本例では、ホストアドレス#0~#3の上位13ビット（A）が「0000000000001B（1）」であり、ホストアドレス#0~#3の上位14ビット目及び上位15ビット目からなる2ビット（D）が「01B（1）」であるから、選択されるセル及びフラグは、仮想ブロック表示領域#1内のセル#1-1及びフラグ#1-1となる。このとき、アクセス対象である仮想ブロックが縦書き仮想ブロックであると判断される。

【0178】アクセス対象である仮想ブロックが縦書き仮想ブロックであると判断されると、次に、マイクロプロセッサ6による制御のもと、SRAMワークエリア8に格納されているアドレス変換テーブル31から、セル#1-1及びフラグ#1-1の内容が読み出される。ここでは、新規データの書き込み動作、すなわち対応する仮想ブロックに現在データが割り当てられていないホストアドレスに対して新しくデータを割り当てる動作であるので、フラグ#1-1は「0（無効）」を示しているはずである。

【0179】次に、マイクロプロセッサ6による制御の

もと、ホストアドレスの上位14ビット目及び15ビット目からなる2ビット(D)である「01B(1)」に基づいて、消去済みブロックキュー32を構成するキュー#0-1~#5-1のいずれか、例えば、キュー#0-1が選択されその内容が読み出される。図14に示されるように、本例では、選択されたキュー#0-1の内容が「0101010101010B(2730)」であるものとする。

【0180】キュー#0-1に格納された内容が読み出されると、これが仮想ブロック表示領域#1のセル#1-1に格納され、対応するフラグ#1-1が「1(有効)」に書き換えられる。これにより、部分的な仮想ブロックの生成が完了する。

【0181】そして、図14に示されるように、マイクロプロセッサ6による制御のもと、ホストアドレス#0~#3の上位14ビット目及び上位15ビット目からなる2ビット(D)、対応するキューの内容及びホストアドレス#0~#3の下位5ビット(E)がこの順に結合される。結合されたアドレスは、それぞれ内部アドレス#0~#3となる。この場合、ホストアドレス#0~#3の上位14ビット目及び上位15ビット目からなる2ビット(D)はいずれも「01B」であり、読み出されたセルの内容は「0101010101010B」であり、ホストアドレス#0~#3の下位5ビット(E)はそれぞれ「10000B」~「10011B」であることから、得られる4つの内部アドレス#0~#3の値は、図14に示される値となる。

【0182】これにより、ホストアドレス#0~#3から内部アドレス#0~#3への変換が完了する。上述のとおり、内部アドレスの上位2ビットは、アクセスすべきフラッシュメモリチップの番号を示し、内部アドレスの上位3ビット目~上位15ビット目は、アクセスすべき物理ブロックアドレスを示し、内部アドレスの下位5ビットは、アクセスすべき物理ページを示している。したがって、内部アドレス#0によって特定される物理ページは、フラッシュメモリチップ2-1の物理ブロック#2730の物理ページ#16となり、内部アドレス#1によって特定される物理ページは、同物理ブロックの物理ページ#17となり、内部アドレス#2によって特定される物理ページは、同物理ブロックの物理ページ#18となり、内部アドレス#3によって特定される物理ページは、同物理ブロックの物理ページ#19となる。

【0183】さらに、ホストインターフェースブロック7が有するタスクファイルレジスタ(図示せず)に外部書き込みコマンドが格納されていることに応答して、マイクロプロセッサ6による制御のもと、フラッシュシーケンサブロック12が有するレジスタ(図示せず)に対する設定がなされる。かかる設定は、次のように行われる。

【0184】まず、マイクロプロセッサ6による制御の

もと、内部コマンドの一種であるデータ転送コマンド及び内部書き込みコマンドがフラッシュシーケンサブロック12内の所定のレジスタ(図示せず)に設定される。さらに、マイクロプロセッサ6による制御のもと、上記生成された4つの内部アドレス#0~#3がフラッシュシーケンサブロック12内の所定のレジスタ(図示せず)に設定される。

【0185】このようにしてフラッシュシーケンサブロック12に含まれる各種レジスタ(図示せず)に対する設定が完了すると、フラッシュシーケンサブロック12による一連の書き込み動作が実行される。本例においては、フラッシュシーケンサブロック12による一連の書き込み動作は、仮想ブロック#1の仮想ページ#1に対する各種冗長データの書き込み、並びに、仮想ブロック#1の仮想ページ#65、#69、#73、#77に対するユーザデータ及び各種冗長データの書き込みの順に実行される。ここで、仮想ブロック#1の仮想ページ#1、#65、#69、#73、#77は、いずれもフラッシュメモリチップ2-1の物理ブロック#2730に属し、それぞれ同物理ブロックの物理ページ#0、#16、#17、#18、#19に対応する。

【0186】図15は、フラッシュシーケンサブロック12による仮想ブロック#1の仮想ページ#0、#65、#69、#73、#77に対する一連の書き込み動作を概略的に示すタイミング図である。

【0187】まず、フラッシュシーケンサブロック12は、仮想ブロック#1の仮想ページ#0に対応する内部アドレス#5を生成する。上述のとおり、仮想ブロック#1の仮想ページ#1に対応する内部アドレス#5とは、フラッシュメモリチップ2-1内の物理ブロック#2730の物理ページ#0に対応し、その値は、「010101010101010000000B」である。

【0188】次に、このようにして生成された内部アドレス#5の上位2ビットに基づいて、フラッシュメモリチップ2-0~2-3のうち、アクセスすべきページが属するフラッシュメモリチップに対応するチップ選択信号を活性化するように、フラッシュメモリインターフェースブロック10に指示する。この場合、内部アドレス#5の上位2ビットは「01B(1)」であるから、チップ選択信号#1が活性化される。これにより、フラッシュメモリチップ2-1は、データの書き込みが可能な状態となる。一方、チップ選択信号#0、#2、#3は、非活性状態が保たれる。

【0189】次に、フラッシュシーケンサブロック12は、上記内部アドレス#5の下位18ビット「0101010101010000000B」を、所定のレジスタ(図示せず)に格納されたデータ転送コマンドとともにバス15に供給するよう、フラッシュメモリインターフェースブロック10に指示する。バス15に供給された内部アドレス#5の下位18ビット及びデータ転送コマ

ンドは、フラッシュメモリチップ2-0~2-3に対し共通に供給されるが、上述のとおり、チップ選択信号#1が活性状態となっているので、バス15に供給された内部アドレス#5の下位18ビット及びデータ転送コマンドは、フラッシュメモリチップ2-1に対してのみ有効となる(転送先指定)。

【0190】これにより、フラッシュメモリチップ2-1は、供給された内部アドレス#5の下位18ビット「010101010101000000B」に対応するページに書き込まれるべきデータの受け付けが許可された状態となる。

【0191】次に、仮想ブロック#1の仮想ページ#0に書き込むべきデータが、フラッシュシーケンサブロック12により、フラッシュメモリインターフェースブロック10を介して、バス15に供給される。ここで、仮想ブロック#1の仮想ページ#1とは、フラッシュメモリチップ2-1内の物理ブロック#2730の物理ページ#0に対応し、ここに書き込むべきデータとは、仮想ブロックアドレス及びその他の付加情報であり、これらはいずれも冗長領域26に書き込まれるデータである。この場合、仮想ブロックアドレスは「00000000000001B(1)」である。フラッシュメモリチップ2-1内の物理ブロック#2730の物理ページ#0のその他の部分、すなわち、ユーザ領域25の全部分、冗長領域26のうちエラーコレクションコード格納領域27等には何らのデータも書き込まれない。

【0192】バス15に供給された仮想ブロックアドレス及び冗長領域26に格納されるその他の付加情報も、やはりフラッシュメモリチップ2-0~2-3に対し共通に供給されるが、上述のとおり、チップ選択信号#1が活性状態となっているため、フラッシュメモリチップ2-1に対してのみ有効となる(データ転送)。

【0193】このようにして、書き込みデータの受け付けが許可された状態にあるフラッシュメモリチップ2-1に対して仮想ブロックアドレス等の付加情報が転送されると、かかる付加情報は、フラッシュメモリチップ2-1内に備えられたレジスタ(図示せず)に一時的に格納される。

【0194】次に、フラッシュシーケンサブロック12は、所定のレジスタ(図示せず)に格納された内部書き込みコマンドを、フラッシュメモリチップ2-1に対して発行する(書き込み命令)。

【0195】これにตอบสนองして、フラッシュメモリチップ2-1は、所定のレジスタに格納されている上記付加情報を、転送先指定処理によって指定されたアドレスに書き込む(フラッシュプログラミング)。すなわち、レジスタに格納されている付加情報が、内部アドレス#5の下位18ビット「010101010101000000B」により特定されるページ、つまり、フラッシュメモリチップ2-1の物理ブロック#2730の物理ペー

ジ#0に書き込まれる。

【0196】かかるフラッシュプログラミングを実行している間、フラッシュメモリチップ2-1はビジー状態となり、次の書き込み動作を行うことはできない。

【0197】そして、フラッシュプログラミングが完了し、ビジー状態が解除されると、次に、仮想ブロック#1の仮想ページ#65、#69、#73、#77に対するユーザデータ及び各種冗長データの書き込みが実行される。これら書き込み動作は、書き込まれるデータに対応するユーザデータ及びエラーコレクションコードが含まれる他は、仮想ブロック#1の仮想ページ#1に対する書き込み動作と同様であり、フラッシュメモリチップ2-1のビジー状態が解除されるのを待って、対応するデータの書き込みが次々と行われる。

【0198】このようにして、フラッシュシーケンサブロック12による一連の書き込み動作が完了する。

【0199】また、マイクロプロセッサ6は、上述のデータ書き込みによって、消去済みブロックキュー32のキュー#0-1に格納された物理ブロックアドレスが、消去済みブロックの物理ブロックアドレスではなくなったことに応答して、新たな消去済みブロックを冗長ブロックの中から選択し、選択された消去済みブロックの物理ブロックアドレスを新たにキュー#0-1に格納する。

【0200】このように、書き込み動作2においては、上述した書き込み動作1とは異なり、連続するホストアドレス#0~#3に対応するデータが、互いに同じ物理ブロック内に書き込まれることになる。

【0201】また、上記の例においても、当該物理ブロックの先頭ページ(物理ページ#0)以外のページ(物理ページ#16~#19)にも、仮想ブロックアドレスを書き込んでいるが、これを省略しても構わない。

【0202】書き込み動作3(仮想ブロックにデータを上書きする場合(ホストアドレスが横書き仮想ブロックに対応する場合))

すでにデータの格納されている仮想ブロック(使用済みブロック)にデータを追加して書き込む場合、「ブロック間転送」が行われる。

【0203】ここで、ブロック間転送について説明する。

【0204】上述のとおり、フラッシュメモリチップ2-0~2-3を構成するフラッシュメモリセル16は、これをメモリセル単位にて消去状態から書込状態へ変化させることはできる一方、これを書込状態から消去状態へ変化させることは、メモリセル単位で行うことができず、ブロック単位でしか行うことができない。このため、ある物理ページにデータを書き込む際には、その物理ページのユーザ領域25及び冗長領域26を構成する全てのフラッシュメモリセル16が消去状態となっている必要があり、既に何らかのデータが書き込まれている

物理ページ、すなわち、その物理ページのユーザ領域25を構成するフラッシュメモリセル16が一つでも書込状態となっているページに、これと異なるデータを直接上書きすることはできない。したがって、既にデータの書き込まれた物理ページに対し、これと異なる新しいデータを書き込むためには、一旦、この物理ページが属する物理ブロックを構成するフラッシュメモリセル16を全て消去状態とし、その後に新しいデータを書き込むという処理が必要となる。

【0205】したがって、ある物理ページに格納された古いデータに新しいデータを上書きしようとする場合、この物理ページが属する物理ブロックに含まれる他の物理ページに格納されたデータが消失するのを防ぐためには、当該他の物理ページに格納されたデータを、他の物理ブロックに移動させるという処理が必要となるのである。

【0206】このような上書き処理に伴うデータの移動が「ブロック間転送」と呼ばれる。尚、本明細書においては、転送元の物理ブロックの物理ブロックアドレスを「転送元ブロックアドレス」、転送先の物理ブロックの物理ブロックアドレスを「転送先ブロックアドレス」と呼ぶ。

【0207】以下、アクセス対象である仮想ブロックが横書き仮想ブロックである場合におけるデータの上書き動作について説明する。

【0208】ここでは、上述した書き込み動作1が完了した直後の状態において、ホストコンピュータ5より、バス14、コネクタ4及びバス13を介して、外部コマンドの一種である外部書き込みコマンドと、4つのホストアドレス「00010101010101000000B」（ホストアドレス#0）、「000101010101010000001B」（ホストアドレス#1）、「000101010101010000010B」（ホストアドレス#2）、「000101010101010000011B」（ホストアドレス#3）と、これらホストアドレスにそれぞれ書き込むべきデータとがフラッシュメモリシステム1に供給された場合を例に説明する。尚、これらホストアドレスは、それぞれ仮想ブロック#682の仮想ページ#64～#67に対応する。

【0209】まず、ホストアドレス#0～#3及び外部書き込みコマンドがコントローラ3に供給されると、これらホストアドレス#0～#3及び外部書き込みコマンドは、ホストインターフェースブロック7が有するタスクファイルレジスタ（図示せず）に一時的に格納される。さらに、ホストアドレス#0～#3にそれぞれ対応する書き込みデータがコントローラ3に供給されると、マイクロプロセッサ6による制御のもと、これらデータがECCブロック11に送出される。これらデータの供給を受けたECCブロック11は、これらデータを解析してエラーコレクションコードを生成し、これを一時的

に保持する。

【0210】次に、アドレス変換テーブル31を用いた転送元ブロックアドレス及び転送先ブロックアドレスの生成が行われる。

【0211】図16は、転送元ブロックアドレス及び転送先ブロックアドレスの生成方法を説明するための図である。

【0212】図16に示されるように、本例では、ホストアドレス#0～#3の上位13ビット（A）が「000101010101010B」であるから、選択される仮想ブロックは仮想ブロック#682である。このとき、アクセス対象である仮想ブロックが横書き仮想ブロックであると判断される。

【0213】アクセス対象である仮想ブロックが横書き仮想ブロックであると判断されると、次に、マイクロプロセッサ6による制御のもと、SRAMワークエリア8に格納されているアドレス変換テーブル31から仮想ブロック表示領域#682が選択され、仮想ブロック表示領域#682の内容が読み出される。上述のとおり、仮想ブロック#682には書き込み動作1においてすでにデータが割り当てられているので、対応する各フラグ#682-0～#682-3はいずれも「1」を示しているはずである。また、セル#682-0～#682-3の内容は、上述のとおりそれぞれ「0000000001111B」、「1110000110011B」、「0101111110000B」、「1000100000000B」である。

【0214】セル#682-0～#682-3に格納された内容が読み出されると、マイクロプロセッサ6による制御のもと、これを用いて転送元ブロックアドレスが生成される。

【0215】転送元ブロックアドレスは、マイクロプロセッサ6による制御のもと、ホストアドレス#0～#3それぞれの下位2ビット（C）及び読み出されたセルの内容がこの順に結合されて生成される。この場合、ホストアドレス#0～#3の下位2ビット（C）はそれぞれ「00B」～「11B」であり、読み出されたセルの内容は「0000000001111B」、「1110000110011B」、「0101111110000B」、「1000100000000B」であることから、得られる4つの転送元ブロックアドレス#0～#3の値は、図16に示される値となる。

【0216】これにより、転送元ブロックアドレス#0～#3の生成が完了する。

【0217】次に、マイクロプロセッサ6による制御のもと、消去済みブロックキュー32を構成するキューセット#0～#5のいずれか、例えば、キューセット#1が選択され、かかるキューセット#1を構成する各キュー#1-0～#1-3に格納された内容が読み出される。上述のとおり、各キューに格納されているのは、消

去済みブロックの物理ブロックアドレスである。本例では、これらキュー#1-0~#1-3の内容がそれぞれ「0010000010000B」、「1000000100000B」、「0111101000000B」、「0010110000000B」であるものとする。

【0218】キュー#1-0~#1-3に格納された内容が読み出されると、マイクロプロセッサ6による制御のもと、これらがアドレス変換テーブル31の仮想ブロック表示領域#682を構成するセル#682-0~#682-3に上書きされるとともに、これらを用いて転送先ブロックアドレスが生成される。

【0219】転送先ブロックアドレスは、マイクロプロセッサ6による制御のもと、ホストアドレス#0~#3それぞれの下位2ビット(C)及び読み出されたキューの内容がこの順に結合されて生成される。この場合、ホストアドレス#0~#3の下位2ビット(C)はそれぞれ「00B」~「11B」であり、読み出されたキューの内容は「0010000010000B」、「1000000100000B」、「0111101000000B」、「0010110000000B」であることから、得られる4つの転送先ブロックアドレス#0~#3の値は、図19に示される値となる。

【0220】これにより、転送先ブロックアドレス#0~#3の生成が完了する。

【0221】以上の処理が完了すると、次に、マイクロプロセッサ6による制御のもと、フラッシュシーケンサブロック12が有するレジスタ(図示せず)に対する設定がなされる。かかる設定は、次のように行われる。

【0222】まず、マイクロプロセッサ6による制御のもと、データ転送コマンド、内部書き込みコマンド及び内部読み出しコマンドがフラッシュシーケンサブロック12内の所定のレジスタ(図示せず)に設定される。さらに、マイクロプロセッサ6による制御のもと、上記生成された転送元ブロックアドレス#0~#3及び転送先ブロックアドレス#0~#3がフラッシュシーケンサブロック12内の所定のレジスタ(図示せず)に設定される。

【0223】このようにしてフラッシュシーケンサブロック12に含まれる各種レジスタ(図示せず)に対する設定が完了すると、フラッシュシーケンサブロック12による一連の書き込み動作が実行される。フラッシュシーケンサブロック12による一連の書き込み動作は、次の通りである。

【0224】まず、フラッシュシーケンサブロック12は、所定のレジスタに格納された転送元ブロックアドレス#0に「00000B(0)」を付加して20ビットの転送元内部アドレスを生成する。この場合、転送元内部アドレスは、「0000000000000111100000B」となる。次に、フラッシュシーケンサブロッ

ク12は、生成された転送元内部アドレスの上位2ビットに基づき、フラッシュメモリチップ2-0~2-3のうち、アクセスすべきページが属するフラッシュメモリチップに対応するチップ選択信号を活性化するように、フラッシュメモリインターフェースブロック10に指示する。この場合、生成された転送元内部アドレスの上位2ビットは「00B(0)」であるから、アクセスすべきページが属するフラッシュメモリチップは、フラッシュメモリチップ2-0であり、チップ選択信号#0が活性化される。これにより、フラッシュメモリチップ2-0は、データの読み出しが可能な状態となる。一方、チップ選択信号#1~#3は、非活性化状態が保たれる。

【0225】次に、フラッシュシーケンサブロック12は、転送元内部アドレスの下位18ビット「000000000111100000B」を、所定のレジスタに格納された内部読み出しコマンドとともにバス15に供給するように、フラッシュメモリインターフェースブロック10に指示する。

【0226】これにより、フラッシュメモリチップ2-0は、供給された転送元内部アドレスの下位18ビット「000000000111100000B」に格納されたデータの読み出しを実行する。すなわち、フラッシュメモリチップ2-0は、物理ブロック#15の物理ページ#0に格納されたデータの読み出しを実行する。尚、フラッシュメモリチップ2-0の物理ブロック#15の物理ページ#0は、仮想ブロック#682の仮想ページ#0に対応する。

【0227】このようにしてフラッシュメモリチップ2-0から読み出されたデータは、バス15を介してフラッシュメモリインターフェースブロック10に供給される。フラッシュメモリインターフェースブロック10がユーザデータを受け取ると、これがバッファ9に一時的に格納されるとともに、ECCブロック11に送出され、新たにエラーコレクションコードの生成が行われる。ECCブロック11にて新たに生成されたエラーコレクションコードは、ECCブロック11内に一時的に保持される。

【0228】このような読み出し動作が、転送元ブロックアドレス#1~#3に「00000B(0)」が付加されることによって、フラッシュメモリチップ2-1~2-3に対しても実行され、その結果、フラッシュメモリチップ2-1に属する物理ブロック#7219の物理ページ#0に格納されたデータ、フラッシュメモリチップ2-2に属する物理ブロック#3056の物理ページ#0に格納されたデータ、及びフラッシュメモリチップ2-3に属する物理ブロック#4352の物理ページ#0に格納されたデータも読み出されることになる。尚、仮想ブロック上においては、フラッシュメモリチップ2-1の物理ブロック#7219の物理ページ#0は仮想ページ#1であり、フラッシュメモリチップ2-2の物

理ブロック#3056の物理ページ#0は仮想ページ#2であり、フラッシュメモリチップ2-3の物理ブロック#4352の物理ページ#0は仮想ページ#3に対応する。すなわち、以上の処理によって、仮想ブロック#682の仮想ページ#0~#3に格納されているデータが読み出されたことになる。

【0229】次に、バッファ9に一時的に格納されたデータの書き込み動作が行われる。かかる書き込み動作は、図13に示したタイミングで行われる。

【0230】まず、フラッシュシーケンサブロック12は、所定のレジスタに格納された転送先ブロックアドレス#0に「00000B(0)」を付加して20ビットの転送先内部アドレスを生成する。この場合、転送先内部アドレスは、「00001000001000000000B」となる。

【0231】次に、フラッシュシーケンサブロック12は、生成された転送先内部アドレスの上位2ビットに基づき、フラッシュメモリチップ2-0~2-3のうち、アクセスすべきページが属するフラッシュメモリチップに対応するチップ選択信号を活性化するように、フラッシュメモリインターフェースブロック10に指示する。この場合、転送先内部アドレスの上位2ビットは「00B(0)」であるから、アクセスすべきページが属するフラッシュメモリチップは、フラッシュメモリチップ2-0であり、チップ選択信号#0が活性化される。これにより、フラッシュメモリチップ2-0は、データの書き込みが可能な状態となる。

【0232】次に、フラッシュシーケンサブロック12は、転送先内部アドレスの下位18ビットを、所定のレジスタ(図示せず)に格納されたデータ転送コマンドとともにバス15に供給するよう、フラッシュメモリインターフェースブロック10に指示する。バス15に供給された書き込みアドレス及びデータ転送コマンドは、フラッシュメモリチップ2-0~2-3に対し共通に供給されるが、上述のとおり、チップ選択信号#0は活性状態となっており、チップ選択信号#1~#3は非活性状態となっているので、バス15に供給された転送先内部アドレス及びデータ転送コマンドは、フラッシュメモリチップ2-0に対してのみ有効となる(転送先指定)。

【0233】次に、バッファ9に格納されているデータのうち、フラッシュメモリチップ2-0から読み出したデータ及び対応するエラーコレクションコード等の冗長領域26に格納すべき付加情報が、フラッシュシーケンサブロック12により、フラッシュメモリインターフェースブロック10を介して、バス15に供給される。バス15に供給されたデータ及びエラーコレクションコード等の付加情報も、やはりフラッシュメモリチップ2-0~2-3に対し共通に供給されるが、上述のとおり、チップ選択信号#0が活性状態となっているため、フラッシュメモリチップ2-0に対してのみ有効となる(デ

ータ転送)。フラッシュメモリチップ2-0に転送されたデータ及びエラーコレクションコード等の付加情報は、フラッシュメモリチップ2-0内に備えられたレジスタ(図示せず)に一時的に格納される。

【0234】次に、フラッシュシーケンサブロック12は、所定のレジスタ(図示せず)に格納された内部書き込みコマンドを、フラッシュメモリチップ2-0に対して発行する(書き込み命令)。

【0235】これにตอบสนองして、フラッシュメモリチップ2-0は、所定のレジスタに格納されているデータ及びエラーコレクションコード等の付加情報を、転送先指定処理によって指定されたアドレスに書き込む(フラッシュプログラミング)。すなわち、レジスタに格納されているデータ及びエラーコレクションコード等の付加情報が、転送先内部アドレスの下位18ビット「00100000100000000000B」により特定されるページ、つまり、フラッシュメモリチップ2-0の物理ブロック#1040の物理ページ#0に書き込まれる。フラッシュメモリチップ2-0の物理ブロック#1040の物理ページ#0は、仮想ブロック#682の仮想ページ#0に対応する。

【0236】フラッシュメモリチップ2-0がフラッシュプログラミングを実行している間、フラッシュシーケンサブロック12は、所定のレジスタに格納された転送先ブロックアドレス#1に「00000B(0)」を付加して20ビットの新たな転送先内部アドレスを生成する。この場合、転送先内部アドレスは、「011000000100000000000000B」となる。次いで、フラッシュシーケンサブロック12は、新たな転送先内部アドレスの上位2ビットに基づいて、チップ選択信号#1を活性化させる。これにより、フラッシュメモリチップ2-1は、データの書き込みが可能な状態となる。

【0237】次に、フラッシュシーケンサブロック12は、新たな転送先内部アドレスの下位18ビット「10000001000000000000B」を、所定のレジスタ(図示せず)に格納されたデータ転送コマンドとともにバス15に供給するよう、フラッシュメモリインターフェースブロック10に指示する。この場合、上述のとおり、チップ選択信号#1が活性状態となっているので、バス15に供給された内部アドレス#1の下位18ビット及びデータ転送コマンドは、フラッシュメモリチップ2-1に対してのみ有効となる(転送先指定)。

【0238】次に、バッファ9に格納されているデータのうち、フラッシュメモリチップ2-1から読み出したデータ及び対応するエラーコレクションコード等の冗長領域26に格納すべき付加情報が、上述と同様にしてフラッシュメモリチップ2-1に対して転送され、その後、書き込み命令の発行が行われる。これにより、フラッシュメモリチップ2-1はフラッシュプログラミングを行い、レジスタに格納されているデータ及びエラーコ

レクションコード等の付加情報が、転送先内部アドレスの下位18ビット「10000000100000000000B」により特定されるページ、つまり、フラッシュメモリチップ2-1の物理ブロック#4128の物理ページ#0に書き込まれる。フラッシュメモリチップ2-1の物理ブロック#4128の物理ページ#0は、仮想ブロック#682の仮想ページ#1に対応する。

【0239】このような、書き込み処理が、転送先ブロックアドレス#2及び#3に「00000B(0)」が付加されることによって、フラッシュメモリチップ2-2及び2-3に対しても実行され、これにより、フラッシュメモリチップ2-2から読み出したデータ及び対応するエラーコレクションコード等の冗長領域26に格納すべき付加情報が、フラッシュメモリチップ2-2の物理ブロック#3904の物理ページ#0に書き込まれ、フラッシュメモリチップ2-3から読み出したデータ及び対応するエラーコレクションコード等の冗長領域26に格納すべき付加情報が、フラッシュメモリチップ2-3の物理ブロック#1408の物理ページ#0に書き込まれる。フラッシュメモリチップ2-2の物理ブロック#3904の物理ページ#0は、仮想ブロック#682の仮想ページ#2に対応し、フラッシュメモリチップ2-3の物理ブロック#1408の物理ページ#0は、仮想ブロック#682の仮想ページ#3に対応する。

【0240】これにより、転送元の仮想ブロックの仮想ページ#0～#3に格納されているデータが、転送先の仮想ブロックの仮想ページ#0～#3に書き込まれたことになる。すなわち、転送元の仮想ブロックの仮想ページ#0～#3から転送先の仮想ブロックの仮想ページ#0～#3へのデータの転送が行われたことになる。

【0241】このようなデータの転送動作は、転送元ブロックアドレス及び転送先ブロックアドレスに付加する5ビットの値をインクリメントすることによって、次々と行われる。すなわち、転送元ブロックアドレス及び転送先ブロックアドレスに付加される5ビットの値が「00001(1)」であれば、転送元の仮想ブロックの仮想ページ#4～#7から転送先の仮想ブロックの仮想ページ#4～#7へのデータの転送が行われ、「00010(2)」であれば、転送元の仮想ブロックの仮想ページ#8～#11から転送先の仮想ブロックの仮想ページ#8～#11へのデータの転送が行われることになる。

【0242】このような転送動作は、付加される5ビットの値が、ホストアドレスの上位14ビット目～上位18ビット目からなる5ビット(B)である「10000B(16)」に一致するまで連続的に行われる。すなわち、付加される5ビットがインクリメントされた結果、これが「10000B(16)」となり、ホストアドレスの上位14ビット目～上位18ビット目からなる5ビット(B)に一致すると、一旦、上述した転送動作が中断される。本例では、転送元の仮想ブロックの仮想ページ

ジ#0～#63から転送先の仮想ブロックの仮想ページ#0～#63へのデータの転送が完了した時点で、付加される5ビットの値が、ホストアドレスの上位14ビット目～上位18ビット目からなる5ビット(B)に一致することになる。

【0243】付加される5ビットがホストアドレスの上位14ビット目～上位18ビット目からなる5ビット

(B)に一致すると、フラッシュシーケンサブブロック12は、かかる5ビット「10000B(16)」を用いたデータの読み出しを行わず、これを転送先ブロックアドレス#0～#3にそれぞれ付加して、新たな転送先内部アドレスを生成する。例えば、転送先ブロックアドレス#0に「10000B(16)」が付加されて生成された転送先内部アドレスは、「00001000001000010000B」である。

【0244】次に、フラッシュシーケンサブブロック12は、生成された転送先内部アドレスの上位2ビットに基づいてチップ選択信号#0を活性化しつつ、転送先内部アドレスの下位18ビットを、データ転送コマンドとともにバス15に供給するよう、フラッシュメモリインターフェースブロック10に指示する(転送先指定)。

【0245】次に、ホストアドレス#0に対応する書き込みデータ及び対応するエラーコレクションコード等の付加情報が、フラッシュシーケンサブブロック12により、フラッシュメモリインターフェースブロック10を介して、バス15に供給される。このとき、チップ選択信号#0が活性状態となっているため、フラッシュメモリチップ2-0に転送されたデータ及びエラーコレクションコードは、フラッシュメモリチップ2-0内に備えられたレジスタ(図示せず)に一時的に格納される(データ転送)。

【0246】次に、フラッシュシーケンサブブロック12は、所定のレジスタ(図示せず)に格納された内部書き込みコマンドを、フラッシュメモリチップ2-0に対して発行する(書き込み命令)。

【0247】このようにして、フラッシュメモリチップ2-0がホストアドレス#0に対応する書き込みデータ及び対応するエラーコレクションコード等の付加情報をフラッシュプログラミングを実行している間、フラッシュシーケンサブブロック12は、ホストアドレス#1に対応する書き込みデータ及び対応するエラーコレクションコード等の付加情報を、フラッシュメモリチップ2-1に書き込むべく、転送先指定処理、データ転送処理等を実行する。このように、あるフラッシュメモリチップがフラッシュプログラミングを実行している途中で、これと異なるフラッシュメモリチップに対して転送先指定処理、データ転送処理等を実行する点はすでに説明したとおりであり、これによって、ホストアドレス#0に対応する書き込みデータは、フラッシュメモリチップ2-0内の物理ブロック#1040の物理ページ#16に書き

10

20

30

40

50

込まれ、ホストアドレス#1に対応する書き込みデータは、フラッシュメモリチップ2-1内の物理ブロック#4128の物理ページ#16に書き込まれ、ホストアドレス#2に対応する書き込みデータは、フラッシュメモリチップ2-2内の物理ブロック#3904の物理ページ#16に書き込まれ、ホストアドレス#3に対応する書き込みデータは、フラッシュメモリチップ2-3内の物理ブロック#1408の物理ページ#16に書き込まれる。

【0248】これにより、ホストアドレス#0~#3に対応する書き込みデータが、転送先の仮想ブロックの仮想ページ#64~#67にそれぞれ書き込まれたことになる。

【0249】かかるデータの書き込みが完了すると、再び、転送元ブロックアドレス及び転送先ブロックアドレスに付加される5ビットがインクリメントされ、新しい転送元内部アドレス及び転送先内部アドレスを用いたデータの転送が再開される。かかる転送動作は、付加される5ビットが「11111(31)」である場合のデータ転送が完了するまで連続的に行われる。すなわち、転送元の仮想ブロックの仮想ページ#68~#127から転送先の仮想ブロックの仮想ページ#68~#127へのデータの転送が完了するまで行われ、これにより、フラッシュシーケンサブロック12による一連のデータ転送動作が完了する。

【0250】また、マイクロプロセッサ6は、上述のデータ書き込みによって、消去済みブロックキュー32のキューセット#1に格納された物理ブロックアドレスが、消去済みブロックの物理ブロックアドレスではなくなったことに応答して、新たな消去済みブロックを冗長ブロックの中から選択し、選択された消去済みブロックの物理ブロックアドレスを新たにキュー#1-0~#1-3に格納する。

【0251】尚、転送元の各物理ブロックは、いずれもブロック消去され、これによって新たな消去済みブロックとなる。かかるブロック消去においても、転送元の各物理ブロックがそれぞれ異なるフラッシュメモリチップに属していることから、これらブロックに対するブロック消去動作を並列に実行することができる。

【0252】以上により、一連のブロック間転送動作が完了する。

【0253】このように、アクセス対象である仮想ブロックが横書き仮想ブロックである場合においてデータの上書きが行われると、4つの物理ブロックに対してブロック間転送が行われるが、これらブロック間転送が並列に実行されることから、これらをそれぞれ独立して行う場合に比べると、一連のブロック間転送動作に要する時間は大幅に短くなる。

【0254】書き込み動作4（仮想ブロックにデータを上書きする場合（ホストアドレスが縦書き仮想ブロック

に対応する場合))

上述のとおり、縦書き仮想ブロックは、ホストアドレスの先頭部分を含む領域に対応しており、FAT（ファイル・アロケーション・テーブル）等が格納されることが一般的であるため、縦書き仮想ブロックにおいては、横書き仮想ブロックと比べて、小さいセクタ単位（ページ単位）で頻繁に書き込みが発生することが多い。このため、ホストアドレスが縦書き仮想ブロックに対応する場合におけるデータの上書き動作においては、以下に詳述するように、1つの物理ブロックについてのみブロック間転送が行われ、これにより、データの上書きに要する一連の動作時間の短縮が図られている。

【0255】ここでは、上述した書き込み動作2が完了した直後の状態において、ホストコンピュータ5より、バス14、コネクタ4及びバス13を介して、外部コマンドの一種である外部書き込みコマンドと、4つのホストアドレス「0000000000000010101000B」（ホストアドレス#0）、「000000000000101010001B」（ホストアドレス#1）、「0000000000000010101010B」（ホストアドレス#2）、「0000000000000010101011B」（ホストアドレス#3）と、これらホストアドレスにそれぞれ書き込むべきデータとがフラッシュメモリシステム1に供給された場合を例に説明する。尚、これらホストアドレスは、それぞれ仮想ブロック#1の仮想ページ#33、#37、#41、#45に対応する。

【0256】まず、ホストアドレス#0~#3及び外部書き込みコマンドがコントローラ3に供給されると、上述のとおり、これらホストアドレス#0~#3及び外部書き込みコマンドは、ホストインターフェースブロック7が有するタスクファイルレジスタ（図示せず）に一時的に格納され、さらに、ホストアドレス#0~#3にそれぞれ対応する書き込みデータがコントローラ3に供給されると、マイクロプロセッサ6による制御のもと、これらデータがECCブロック11に送出される。これらデータの供給を受けたECCブロック11は、これらデータを解析してエラーコレクションコードを生成し、これを一時的に保持する。

【0257】次に、アドレス変換テーブル31を用いた転送元ブロックアドレス及び転送先ブロックアドレスの生成が行われる。

【0258】図17は、転送元ブロックアドレス及び転送先ブロックアドレスの生成方法を説明するための図である。

【0259】図17に示されるように、本例では、ホストアドレス#0~#3の上位13ビット（A）が「00000000000001B」であるから、選択される仮想ブロックは仮想ブロック#1である。このとき、アクセス対象である仮想ブロックが縦書き仮想ブロックであ

ると判断される。

【0260】アクセス対象である仮想ブロックが縦書き仮想ブロックであると判断されると、次に、マイクロプロセッサ6による制御のもと、SRAMワークエリア8に格納されているアドレス変換テーブル31から、セル#1-1及びフラグ#1-1の内容が読み出される。ここで、上記書き込み動作2において、セル#1-1に対応する物理ブロックにはすでにデータが割り当てられているので、対応するフラグ#1-1は「1」を示しているはずである。また、セル#1-1の内容は、上述のとおり「010101010101010B」である。また、仮想ブロック表示領域#1を構成する他のセル#1-0、#1-2、#1-3に対応する物理ブロックはまだ存在しないので、これらに対応するフラグ#1-0、#1-2、#1-3は「0」となっている。このため、セル#1-0、#1-2、#1-3の内容は無効である。

【0261】セル#1-1に格納された内容が読み出されると、マイクロプロセッサ6による制御のもと、これを用いて転送元ブロックアドレスが生成される。

【0262】転送元ブロックアドレスは、マイクロプロセッサ6による制御のもと、ホストアドレス#0～#3の上位14ビット目及び上位15ビット目からなる2ビット(D)及び読み出されたセルの内容がこの順に結合されて生成される。この場合、ホストアドレス#0～#3の上位14ビット目及び上位15ビット目からなる2ビット(D)は「01B」であり、読み出されたセルの内容は「010101010101010B」であることから、得られる転送元ブロックアドレスの値は、図17に示される値となる。

【0263】これにより、転送元ブロックアドレスの生成が完了する。

【0264】次に、マイクロプロセッサ6による制御のもと、消去済みブロックキュー32を構成するキューセット#0～#5のいずれか、例えば、キューセット#1が選択され、ホストアドレス#0～#3の上位14ビット目及び上位15ビット目からなる2ビット(D)に基づいて、キューセット#1を構成するキュー#1-1に格納された内容が読み出される。本例では、キュー#1-1の内容が「1011100110011B」であるものとする。

【0265】キュー#1-1に格納された内容が読み出されると、マイクロプロセッサ6による制御のもと、これらがアドレス変換テーブル31の仮想ブロック表示領域#1を構成するセル#1-1に上書きされるとともに、これらを用いて転送先ブロックアドレスが生成される。

【0266】転送先ブロックアドレスは、マイクロプロセッサ6による制御のもと、ホストアドレス#0～#3の上位14ビット目及び上位15ビット目からなる2ビ

ット(D)及び読み出されたキューの内容がこの順に結合されて生成される。この場合、ホストアドレス#0～#3の上位14ビット目及び上位15ビット目からなる2ビット(D)は「01B」であり、読み出されたセルの内容は「1011100110011B」であることから、得られる転送先ブロックアドレスの値は、図17に示される値となる。

【0267】これにより、転送先ブロックアドレスの生成が完了する。

【0268】以上の処理が完了すると、次に、マイクロプロセッサ6による制御のもと、フラッシュシーケンサブロック12が有するレジスタ(図示せず)に対する設定がなされる。かかる設定は、次のように行われる。

【0269】まず、マイクロプロセッサ6による制御のもと、データ転送コマンド、内部書き込みコマンド及び内部読み出しコマンドがフラッシュシーケンサブロック12内の所定のレジスタ(図示せず)に設定される。さらに、マイクロプロセッサ6による制御のもと、上記生成された転送元ブロックアドレス及び転送先ブロックアドレスがフラッシュシーケンサブロック12内の所定のレジスタ(図示せず)に設定される。

【0270】このようにしてフラッシュシーケンサブロック12に含まれる各種レジスタ(図示せず)に対する設定が完了すると、フラッシュシーケンサブロック12による一連の書き込み動作が実行される。フラッシュシーケンサブロック12による一連の書き込み動作は、次の通りである。

【0271】まず、フラッシュシーケンサブロック12は、所定のレジスタに格納された転送元ブロックアドレスに「00000B(0)」を付加して20ビットの転送元内部アドレスを生成する。この場合、転送元内部アドレスは、「0101010101010101000000B」となる。次に、フラッシュシーケンサブロック12は、生成された転送元内部アドレスの上位2ビットに基づき、フラッシュメモリチップ2-0～2-3のうち、アクセスすべきページが属するフラッシュメモリチップに対応するチップ選択信号を活性化するように、フラッシュメモリインターフェースブロック10に指示する。この場合、生成された転送元内部アドレスの上位2ビットは「01B(1)」であるから、アクセスすべきページが属するフラッシュメモリチップは、フラッシュメモリチップ2-1であり、チップ選択信号#1が活性化される。これにより、フラッシュメモリチップ2-1は、データの読み出しが可能な状態となる。一方、チップ選択信号#0、#2、#3は、非活性化状態が保たれる。

【0272】次に、フラッシュシーケンサブロック12は、転送元内部アドレスの下位18ビット「010101010101010000000B」を、所定のレジスタに格納された内部読み出しコマンドとともにバス15に供

10

20

30

40

50

給するよう、フラッシュメモリインターフェースブロック10に指示する。

【0273】これにより、フラッシュメモリチップ2-1は、供給された転送元内部アドレスの下位18ビット「010101010101000000B」に格納されたデータの読み出しを実行する。すなわち、フラッシュメモリチップ2-1は、物理ブロック#2730の物理ページ#0に格納されたデータの読み出しを実行する。尚、フラッシュメモリチップ2-1の物理ブロック#2730の物理ページ#0は、仮想ブロック#1の仮想ページ#1に対応する。

【0274】このようにしてフラッシュメモリチップ2-1から読み出されたデータは、バス15を介してフラッシュメモリインターフェースブロック10に供給される。フラッシュメモリインターフェースブロック10がユーザデータを受け取ると、これがバッファ9に一時的に格納されるとともに、ECCブロック11に送出され、新たにエラーコレクションコードの生成が行われる。ECCブロック11にて新たに生成されたエラーコレクションコードは、ECCブロック11内に一時的に保持される。

【0275】次に、バッファ9に一時的に格納されたデータの書き込み動作が行われる。

【0276】まず、フラッシュシーケンサブブロック12は、所定のレジスタに格納された転送先ブロックアドレスに「00000B(0)」を付加して20ビットの転送先内部アドレスを生成する。この場合、転送先内部アドレスは、「01101110011001100000B」となる。

【0277】次に、フラッシュシーケンサブブロック12は、生成された転送先内部アドレスの上位2ビットに基づき、フラッシュメモリチップ2-0~2-3のうち、アクセスすべきページが属するフラッシュメモリチップに対応するチップ選択信号を活性化するよう、フラッシュメモリインターフェースブロック10に指示する。この場合、転送先内部アドレスの上位2ビットは「01B(1)」であるから、アクセスすべきページが属するフラッシュメモリチップは、フラッシュメモリチップ2-1であり、チップ選択信号#1が活性化される。これにより、フラッシュメモリチップ2-1は、データの書き込みが可能な状態となる。

【0278】次に、フラッシュシーケンサブブロック12は、転送先内部アドレスの下位18ビットを、所定のレジスタ(図示せず)に格納されたデータ転送コマンドとともにバス15に供給するよう、フラッシュメモリインターフェースブロック10に指示する。バス15に供給された書き込みアドレス及びデータ転送コマンドは、フラッシュメモリチップ2-0~2-3に対し共通に供給されるが、上述のとおり、チップ選択信号#1は活性状態となっており、チップ選択信号#0、#2、#3は非

活性状態となっているので、バス15に供給された転送先内部アドレス及びデータ転送コマンドは、フラッシュメモリチップ2-1に対してのみ有効となる(転送先指定)。

【0279】次に、バッファ9に格納されているデータのうち、フラッシュメモリチップ2-1から読み出したデータ及び対応するエラーコレクションコード等の冗長領域26に格納すべき付加情報が、フラッシュシーケンサブブロック12により、フラッシュメモリインターフェースブロック10を介して、バス15に供給される。バス15に供給されたデータ及びエラーコレクションコード等の付加情報も、やはりフラッシュメモリチップ2-0~2-3に対し共通に供給されるが、上述のとおり、チップ選択信号#1が活性状態となっているため、フラッシュメモリチップ2-1に対してのみ有効となる(データ転送)。フラッシュメモリチップ2-1に転送されたデータ及びエラーコレクションコード等の付加情報は、フラッシュメモリチップ2-1内に備えられたレジスタ(図示せず)に一時的に格納される。

【0280】次に、フラッシュシーケンサブブロック12は、所定のレジスタ(図示せず)に格納された内部書き込みコマンドを、フラッシュメモリチップ2-1に対して発行する(書き込み命令)。

【0281】これに回答して、フラッシュメモリチップ2-1は、所定のレジスタに格納されているデータ及びエラーコレクションコード等の付加情報を、転送先指定処理によって指定されたアドレスに書き込む(フラッシュプログラミング)。すなわち、レジスタに格納されているデータ及びエラーコレクションコード等の付加情報が、転送先内部アドレスの下位18ビット「101110011001100000B」により特定されるページ、つまり、フラッシュメモリチップ2-1の物理ブロック#5939の物理ページ#0に書き込まれる。フラッシュメモリチップ2-1の物理ブロック#5939の物理ページ#0は、仮想ブロック#1の仮想ページ#1に対応する。

【0282】かかるフラッシュプログラミングを実行している間、フラッシュメモリチップ2-1はビジー状態となり、次の動作を行うことはできない。フラッシュプログラミングが完了すると、転送元の物理ブロックの物理ページ#0から転送先の物理ブロックの物理ページ#0へのデータの転送が完了したことになる。

【0283】そして、フラッシュプログラミングが完了し、ビジー状態が解除されると、次に、フラッシュシーケンサブブロック12は、所定のレジスタに格納された転送元ブロックアドレスに「00001B(1)」を付加して20ビットの新たな転送元内部アドレスを生成し、これを用いて読み出しを実行するとともに、所定のレジスタに格納された転送先ブロックアドレスに「00001B(1)」を付加して20ビットの新たな転送先内部

アドレスを生成し、これを用いて読み出されたデータの書き込みを実行する。

【0284】このようなデータの転送動作は、転送元ブロックアドレス及び転送先ブロックアドレスに付加する5ビットの値をインクリメントすることによって、付加される5ビットの値が、ホストアドレス#0の下位5ビット(E)である「01000B(8)」に一致するまで連続的に行われる。本例では、転送元の物理ブロックの物理ページ#0～#7から転送先の物理ブロックの物理ページ#0～#7へのデータの転送が完了した時点で、付加される5ビットの値が、ホストアドレス#0の下位5ビット(E)に一致することになる。

【0285】付加される5ビットがホストアドレス#0の下位5ビット(E)に一致すると、フラッシュシーケンサブロック12は、かかる5ビット「01000B(8)」を用いたデータの読み出しを行わず、これを転送先ブロックアドレスに付加して、新たな転送先内部アドレスを生成する。これにより、転送先内部アドレスは、「01101110011001101000B」となる。

【0286】次に、フラッシュシーケンサブロック12は、生成された転送先内部アドレスの上位2ビットに基づいてチップ選択信号#1を活性化しつつ、転送先内部アドレスの下位18ビットを、データ転送コマンドとともにバス15に供給するよう、フラッシュメモリアンタフェースブロック10に指示する(転送先指定)。

【0287】次に、ホストアドレス#0に対応する書き込みデータ及び対応するエラーコレクションコード等の付加情報が、フラッシュシーケンサブロック12により、フラッシュメモリアンタフェースブロック10を介して、バス15に供給される。このとき、チップ選択信号#1が活性状態となっているため、フラッシュメモリチップ2-1に転送されたデータ及びエラーコレクションコードは、フラッシュメモリチップ2-1内に備えられたレジスタ(図示せず)に一時的に格納される(データ転送)。

【0288】次に、フラッシュシーケンサブロック12は、所定のレジスタ(図示せず)に格納された内部書き込みコマンドを、フラッシュメモリチップ2-1に対して発行する(書き込み命令)。

【0289】このようにして、フラッシュメモリチップ2-1がホストアドレス#0に対応する書き込みデータ及び対応するエラーコレクションコード等の付加情報のフラッシュプログラミングを完了すると、フラッシュシーケンサブロック12は、ホストアドレス#1の下位5ビット(E)である「01001B(9)」を転送先ブロックアドレスに付加して、新たな転送先内部アドレスを生成する。そして、かかる転送先内部アドレスを用いてホストアドレス#1に対応する書き込みデータ等の書き込みが行われる。このような書き込み動作が、ホスト

アドレス#2、#3に対応する書き込みデータについても行われる。

【0290】以上により、ホストアドレス#0～#3に対応する書き込みデータが、転送先の物理ブロックの物理ページ#8～#11にそれぞれ書き込まれたことになる。

【0291】かかるデータの書き込みが完了すると、再び、転送元ブロックアドレス及び転送先ブロックアドレスに付加される5ビットがインクリメントされ、新しい転送元内部アドレス及び転送先内部アドレスを用いたデータの転送が再開される。かかる転送動作は、付加される5ビットが「11111(31)」である場合のデータ転送が完了するまで連続的に行われる。すなわち、転送元の物理ブロックの仮想ページ#12～#31から転送先の物理ブロックの物理ページ#12～#31へのデータの転送が完了するまで行われ、これにより、フラッシュシーケンサブロック12による一連のデータ転送動作が完了する。

【0292】また、マイクロプロセッサ6は、上述のデータ書き込みによって、消去済みブロックキュー32のキュー#1-1に格納された物理ブロックアドレスが、消去済みブロックの物理ブロックアドレスではなくなったことに応答して、新たな消去済みブロックを冗長ブロックの中から選択し、選択された消去済みブロックの物理ブロックアドレスを新たにキュー#1-1に格納する。

【0293】その後、転送元の物理ブロックはブロック消去され、これによって新たな消去済みブロックとなる。

【0294】以上により、一連のブロック間転送動作が完了する。

【0295】このように、アクセス対象である仮想ブロックが縦書き仮想ブロックである場合においてデータの上書きが行われると、対応する1つの物理ブロックに対してのみブロック間転送が行われるため、仮想ブロックを構成する全ての物理ブロックに対してブロック間転送を行う場合(書き込み動作3)に比べて、一連のブロック間転送動作を短時間で行うことができる。

【0296】このように、本実施態様によるフラッシュメモリスistem1では、「仮想ブロック」という概念を用い、互いに異なるフラッシュメモリチップに属する複数の物理ブロックを仮想的に一つのブロックとして取り扱っているため、ホストコンピュータ5から、連続する複数アドレスに対してデータ書き込み要求がなされた場合に、ある書き込みデータについてフラッシュプログラミングが実行されている途中で、次の書き込みデータに対し、転送先指定やデータ転送等の処理を並行して実行することができ、これにより一連のデータ書き込みに要する時間を大幅に短縮させることが可能となる。すなわち、一連のデータ書き込み動作のうち、フラッシュプロ

グラミングには比較的長い時間、典型的には約 $200 \mu\text{s}$ 程度が必要とされるところ、本実施態様によるフラッシュメモリシステム 1 によれば、かかるフラッシュプログラミングと並行して他の処理を実行可能であることから、一連のデータ書き込みに要する時間は大幅に短縮される。

【0297】さらに、本実施態様にかかるフラッシュメモリシステム 1 においては、これら仮想ブロックを横書き仮想ブロック及び縦書き仮想ブロックに分け、横書き仮想ブロックにおいては、連続するホストアドレスが連続する仮想ページに対応し、縦書き仮想ブロックにおいては、連続するホストアドレスが連続する物理ページに対応するように割り当てていることから、縦書き仮想ブロックに対するデータの上書きが要求された場合には、一つの物理ブロックに対してブロック間転送を行えば足りる。このため、縦書き仮想ブロックを、小さいセクタ単位（ページ単位）で頻繁に書き込みが発生する F A T（ファイル・アロケーション・テーブル）等の格納領域に割り当てることによって、かかる書き込みを高速に行うことが可能となる。

【0298】本発明は、以上の実施態様に限定されることなく、特許請求の範囲に記載された発明の範囲内で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

【0299】例えば、上記実施態様にかかるフラッシュメモリシステム 1 においては、それぞれ異なるフラッシュメモリチップに属する 4 個のブロックを仮想的に結合させることによって、4 個のセルからなる仮想ブロックを構成しているが、仮想ブロックを構成するセルの数は 4 個に限定されず、他の数、例えば 2 個や 8 個であってもよい。この場合、仮想ブロックを構成するセルの数を搭載されたフラッシュメモリチップの数と一致させることは必須ではなく、仮想ブロックを構成するセルの数を搭載されるフラッシュメモリチップの数よりも少なく設定しても構わない。例えば、フラッシュメモリチップの数が 8 個である場合に、仮想ブロックを構成するセルの数を 4 個としてもよい。

【0300】また、上記実施態様にかかるフラッシュメモリシステム 1 においては、それぞれ異なるフラッシュメモリチップに属する 4 個のブロックを仮想的に結合させることによって、4 個のセルからなる仮想ブロックを構成しているが、フラッシュメモリチップが「バンクタイプ」と呼ばれるチップ、すなわち、物理ブロックがそれぞれ独立したレジスタを有する複数のバンクに分類され、それぞれ異なるバンクに属する複数のブロックに対して同時に書き込み処理を行うことができるフラッシュメモリチップを用いれば、互いに同じフラッシュメモリチップに属する複数のブロックを仮想的に結合させることによって、仮想ブロックを構成することができる。但し、この場合、仮想ブロックを構成する複数の物理プロ

ックは、それぞれ異なるバンクに属している必要がある。

【0301】また、バンクタイプのチップを複数個用いた場合、あるフラッシュメモリチップより選ばれた複数の物理ブロックと、異なるフラッシュメモリチップより選ばれた複数の物理ブロックとを仮想的に結合させることによって仮想ブロックを構成しても構わない。この場合、搭載されるフラッシュメモリチップの個数や各フラッシュメモリチップが備えるバンク数を超える数のブロックからなる仮想ブロックを構成することが可能となる。このことは、データ書き込み時において並列処理が可能なページ数が多くなるとともに、データの追加的な書き込みの可能性が高まることを意味するので、データ書き込み処理をより高速に行うことが可能となる。

【0302】さらに、上記実施態様にかかるフラッシュメモリシステム 1 においては、8000 個の仮想ブロックのうち、先頭の 2 つの仮想ブロック（仮想ブロック #0、#1）を縦書き仮想ブロックに割り当てているが、どの仮想ブロックを縦書き仮想ブロックに割り当てても構わない。例えば、先頭の仮想ブロック（仮想ブロック #0）のみを縦書き仮想ブロックに割り当ててもよいし、先頭の 4 つの仮想ブロック（仮想ブロック #0～#3）を縦書き仮想ブロックに割り当ててもよい。この場合、縦書き仮想ブロック数を決めるレジスタを設け、先頭の仮想ブロック（仮想ブロック #0）から、かかるレジスタの内容が示す数の仮想ブロックを縦書き仮想ブロックに割り当てるよう構成すれば、縦書き仮想ブロック数を可変とすることができる。このようなレジスタに対する縦書き仮想ブロック数の設定方法としては、コントローラ 3 が有する特定の外部端子（ピン）を利用し、コントローラ 3 の実装時において、当該外部端子（ピン）を電源ライン或いは接地ラインに接続することによって、起動時において自動設定されるように構成することが望ましい。

【0303】尚、先頭の仮想ブロック（仮想ブロック #0）を縦書き仮想ブロックとすることは必須ではなく、これを横書き仮想ブロックとしても構わない。

【0304】また、上記実施態様にかかるフラッシュメモリシステム 1 においては、横書き仮想ブロックに対してデータの上書きが要求された場合、当該仮想ブロックを構成する全ての物理ブロックに対してブロック間転送を行っているが、上書き対象となる物理ブロック数が仮想ブロックを構成する物理ブロック数（4）未満であれば、上書き対象となる物理ブロックに対してのみブロック間転送を行えばよい。

【0305】また、上記実施態様にかかるフラッシュメモリシステム 1 においては、各物理ブロックが 32 個の物理ページによって構成されているが、各物理ブロックを構成する物理ページ数が 32 個に限定されるものではなく、他の数、例えば、16 個や 64 個であってもよ

い。本発明は、各ブロックを構成するページ数が多いほど、より顕著な効果を得ることができる。

【0306】さらに、上記実施態様にかかるフラッシュメモリシステム1においては、データの格納された全ての物理ブロックに関わるアドレス変換テーブル31をSRAMワークエリア8上に展開しているが、本発明において、これら全ての物理ブロックに関わるアドレス変換テーブルを展開することは必須ではなく、これらの一部のみを展開してもよい。この場合、SRAMワークエリア8に必要とされる記憶容量を削減することができる。但し、このように一部の物理ブロックに関わるアドレス変換テーブルのみを展開する場合、アドレス変換テーブルに含まれていない物理ブロックへのアクセスが要求される度に、アドレス変換テーブルを更新する必要がある。

【0307】また、上記実施態様においては、フラッシュメモリシステム1はカード形状であり、4個のフラッシュメモリチップ2-0~2-3とコントローラ3が、一つのカード内に集積されて構成されているが、本発明にかかるフラッシュメモリシステムがカード形状に限定されることはなく、他の形状、例えばスティック状であってもよい。

【0308】さらに、上記実施態様においては、フラッシュメモリシステム1は、4個のフラッシュメモリチップ2-0~2-3とコントローラ3とが、一つのカード内に集積されて構成されているが、フラッシュメモリチップ2-0~2-3とコントローラ3とが、同一筐体に集積されている必要はなく、それぞれ別個の筐体にパッケージングされてもよい。この場合、フラッシュメモリチップ2-0~2-3がパッケージングされた筐体及びコントローラ3がパッケージングされた筐体には、それぞれ他方との電氣的及び機械的接続を実現するためのコネクタが必要とされ、かかるコネクタによって、フラッシュメモリチップ2-0~2-3がパッケージングされた筐体が、コントローラ3がパッケージングされた筐体に着脱可能に装着される。さらに、フラッシュメモリチップ2-0~2-3についても、これらが同一筐体に集積されている必要はなく、それぞれ別個の筐体にパッケージングされてもよい。

【0309】また、上記実施態様にかかるフラッシュメモリシステム1においては、各フラッシュメモリチップ2-0~2-3は、それぞれ128Mバイト(1Gビット)の記憶容量を有する半導体チップであるが、各フラッシュメモリチップ2-0~2-3の記憶容量は128Mバイト(1Gビット)に限定されず、これとは異なる容量、例えば32Mバイト(256Mビット)であってもよい。

【0310】さらに、上記実施態様にかかるフラッシュメモリシステム1においては、512バイトを1ページとし、これを最小アクセス単位としているが、最小アク

セス単位としては512バイトに限定されず、これとは異なる容量であってもよい。

【0311】また、上記実施態様にかかるフラッシュメモリシステム1においては、フラッシュメモリチップ2-0~2-3を構成する各フラッシュメモリセル16が、1ビットのデータを保持しているが、フローティングゲート電極21に注入すべき電子の量を複数段階に制御することによって、2ビット以上のデータを保持可能に構成してもよい。

【0312】また、上記実施態様にかかるフラッシュメモリシステム1においては、消去済みブロックキュー32が6つのキューセット#0~#5によって構成されているが、消去済みブロックキュー32を構成する6つのキューセットの数としては6組に限定されず、他の数、例えば、1組や8組であってもよい。

【0313】さらに、上記実施態様にかかるフラッシュメモリシステム1においては、フラッシュメモリチップ2としてNAND型のフラッシュメモリチップを用いているが、本発明により制御可能なフラッシュメモリがNAND型に限定されるものではなく、他の種類、例えば、AND型のフラッシュメモリを制御することも可能である。

【0314】さらに、本発明において、手段とは、必ずしも物理的手段を意味するものではなく、各手段の機能がソフトウェアによって実現される場合も包含する。さらに、一つの手段の機能が二以上の物理的手段により実現されても、二以上の手段の機能が一つの物理的手段により実現されてもよい。

【0315】尚、本発明は、PCMCIA(Personal Computer Memory Card International Association)が発表した統一規格に基づくPCカードとして実現することが可能である。さらに、近年、半導体素子の高集積化技術の発展に伴い、より小型化された小型メモリカード、例えば、CFA(Compact Flash Association)が提唱する「Compact Flash」や、MultiMediaCard Associationの提唱する「MMC(MultiMedia Card)」、ソニー株式会社が提唱する「メモリースティック」、松下電器産業株式会社等が提唱する「SDメモリーカード」などに本発明を適用することが可能である。

【0316】

【発明の効果】以上説明したように、本発明によれば、フラッシュメモリに対する一連のデータ書き込み処理をより高速に行うことができるメモリコントローラ、フラッシュメモリシステム及びフラッシュメモリの制御方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の好ましい実施態様にかかるフラッシュ

メモリシステム1を概略的に示すブロック図である。

【図2】フラッシュメモリチップ2-0~2-3を構成する各フラッシュメモリセル16の構造を概略的に示す断面図である。

【図3】書き込み状態であるフラッシュメモリセル16を概略的に示す断面図である。

【図4】フラッシュメモリチップ2-0のアドレス空間の構造を概略的に示す図である。

【図5】冗長領域26のデータ構造を概略的に示す図である。

【図6】仮想ブロックのマッピングの一例を示す図である。

【図7】図6に示された仮想ブロックの仮想ページ構造を示す図である。

【図8】アドレス変換テーブル31のデータ構造を示す概略図である。

【図9】消去済みブロックキュー32のデータ構造を示す概略図である。

【図10】読み出し動作1におけるアドレス変換テーブル31を用いた内部アドレスへの変換方法を説明するための図である。

【図11】読み出し動作2におけるアドレス変換テーブル31を用いた内部アドレスへの変換方法を説明するための図である。

【図12】書き込み動作1におけるアドレス変換テーブル31を用いた内部アドレスへの変換方法を説明するための図である。

【図13】書き込み動作1におけるフラッシュシーケンサブブロック12による一連の書き込み動作タイミング概略的に示すタイミング図である。

【図14】書き込み動作2におけるアドレス変換テーブル31を用いた内部アドレスへの変換方法を説明するための図である。

【図15】書き込み動作2におけるフラッシュシーケンサブブロック12による一連の書き込み動作タイミング概略的に示すタイミング図である。

*

*【図16】書き込み動作3におけるフラッシュシーケンサブブロック12による一連の書き込み動作タイミング概略的に示すタイミング図である。

【図17】書き込み動作4におけるアドレス変換テーブル31を用いた内部アドレスへの変換方法を説明するための図である。

【符号の説明】

1 フラッシュメモリシステム

2-0~2-3 フラッシュメモリチップ

3 コントローラ

4 コネクタ

5 ホストコンピュータ

6 マイクロプロセッサ

7 ホストインターフェースブロック

8 S RAMワークエリア

9 バッファ

10 フラッシュメモリインターフェースブロック

11 ECCブロック

12 フラッシュシーケンサブブロック

13~15 バス

16 フラッシュメモリセル

17 P型半導体基板

18 ソース拡散領域

19 ドレイン拡散領域

20 トンネル酸化膜

21 フローティングゲート電極

22 絶縁膜

23 コントロールゲート電極

24 チャンネル

25 ユーザ領域

26 冗長領域

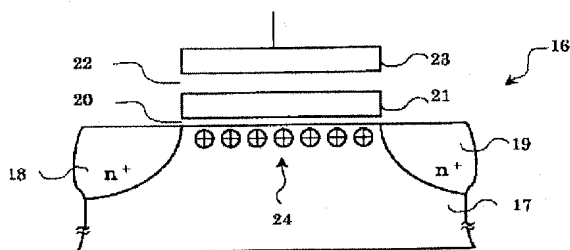
27 エラーコレクションコード格納領域

28 仮想ブロックアドレス格納領域

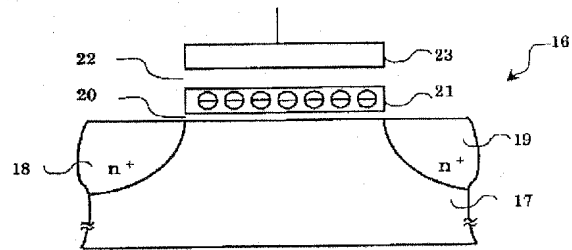
31 アドレス変換テーブル

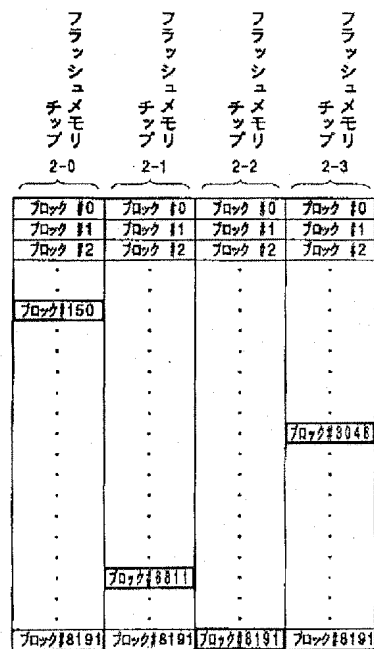
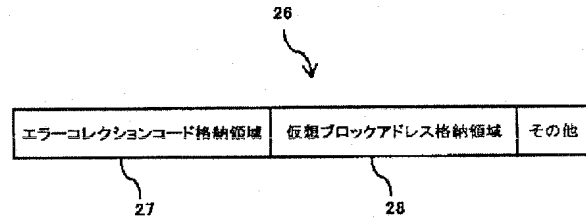
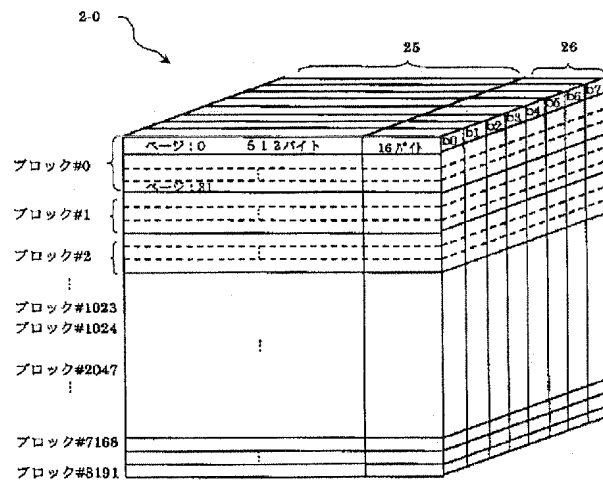
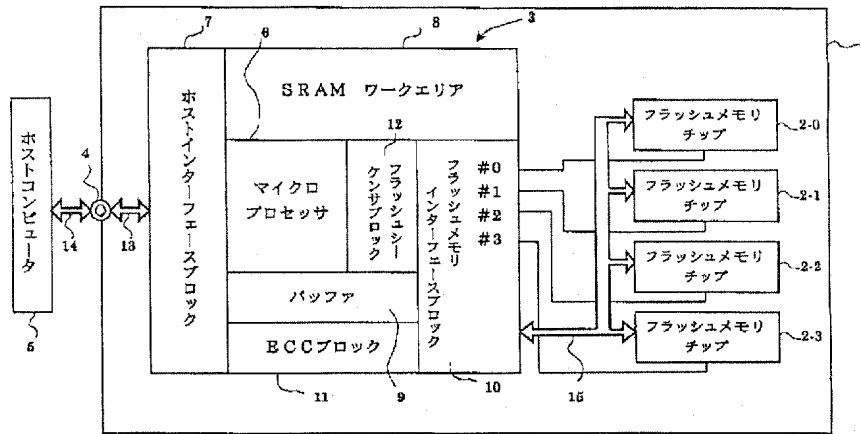
32 消去済みブロックキュー

【図2】



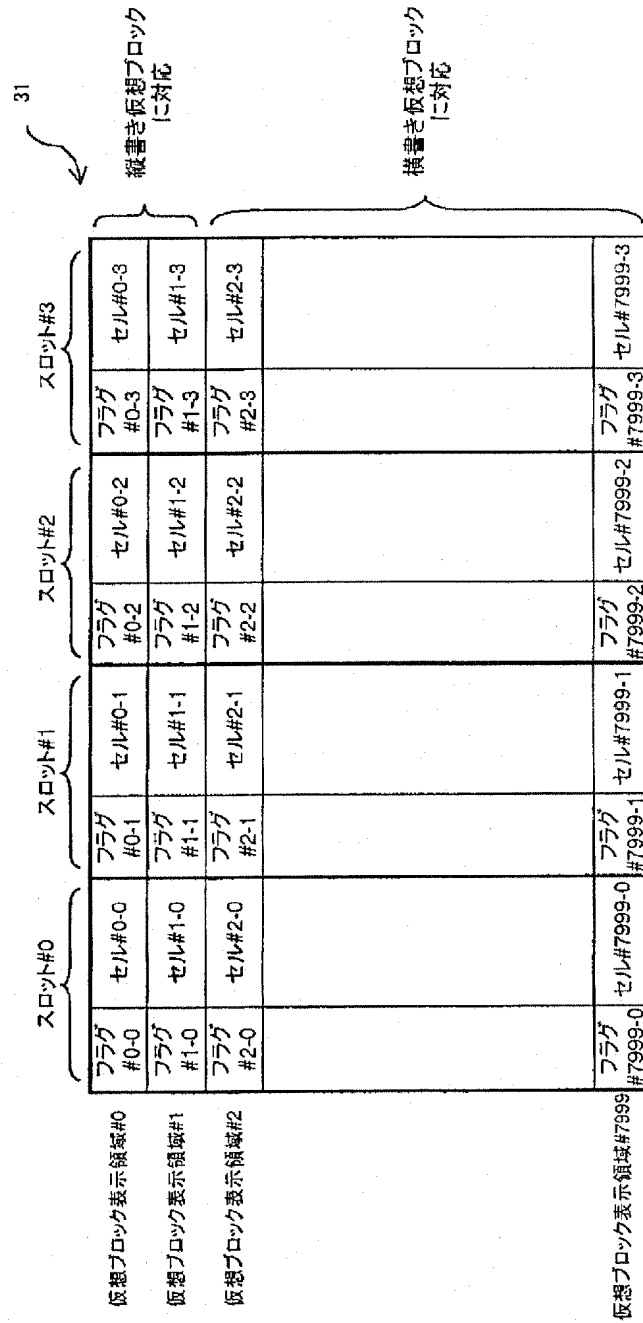
【図3】





ブロック#150	ブロック#8811	ブロック#8191	ブロック#3048
仮想ページ #0	仮想ページ #1	仮想ページ #2	仮想ページ #3
仮想ページ #4	仮想ページ #5	仮想ページ #6	仮想ページ #7
仮想ページ #8	仮想ページ #9	仮想ページ #10	仮想ページ #11
.	.	.	.
.	.	.	.
.	.	.	.
.	.	.	.
.	.	.	.
.	.	.	.
仮想ページ #124	仮想ページ #125	仮想ページ #126	仮想ページ #127

【図8】

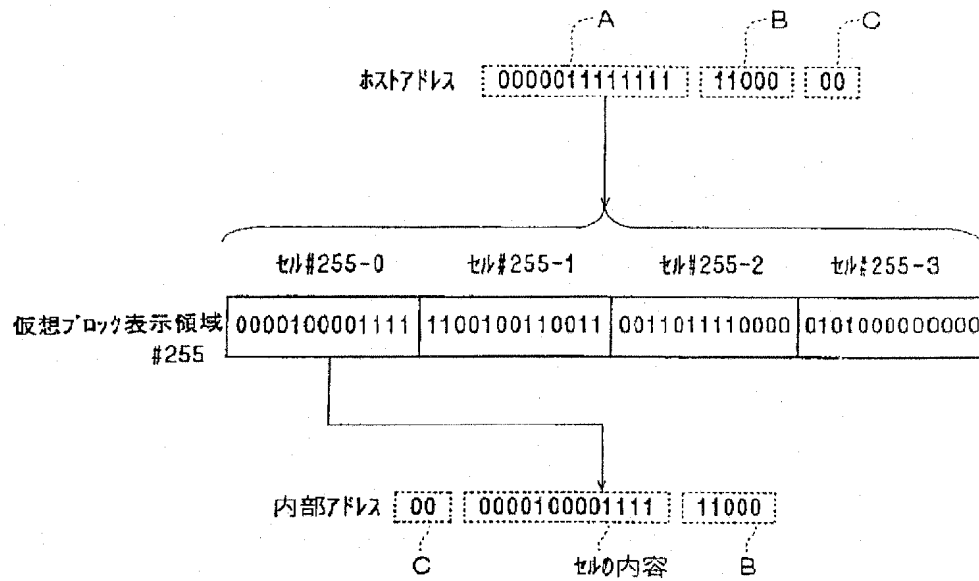


【図9】

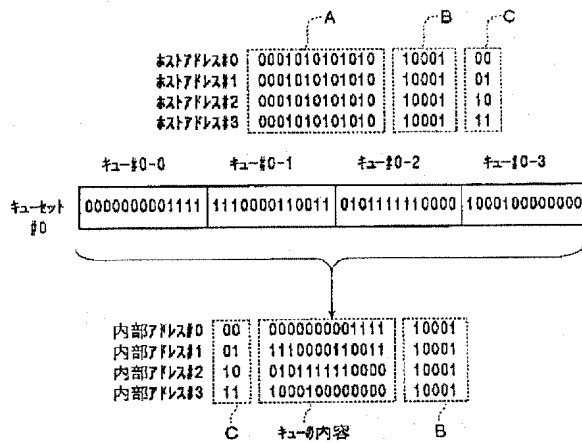
32

	スロット#0	スロット#1	スロット#2	スロット#3
キューセット#0	キュー#0-0	キュー#0-1	キュー#0-2	キュー#0-3
キューセット#1	キュー#1-0	キュー#1-1	キュー#1-2	キュー#1-3
キューセット#2	キュー#2-0	キュー#2-1	キュー#2-2	キュー#2-3
キューセット#3	キュー#3-0	キュー#3-1	キュー#3-2	キュー#3-3
キューセット#4	キュー#4-0	キュー#4-1	キュー#4-2	キュー#4-3
キューセット#5	キュー#5-0	キュー#5-1	キュー#5-2	キュー#5-3

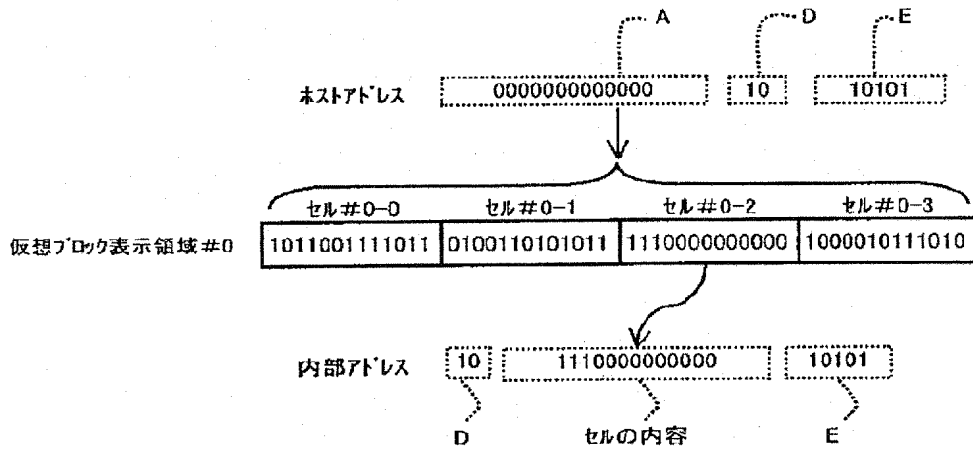
【図10】



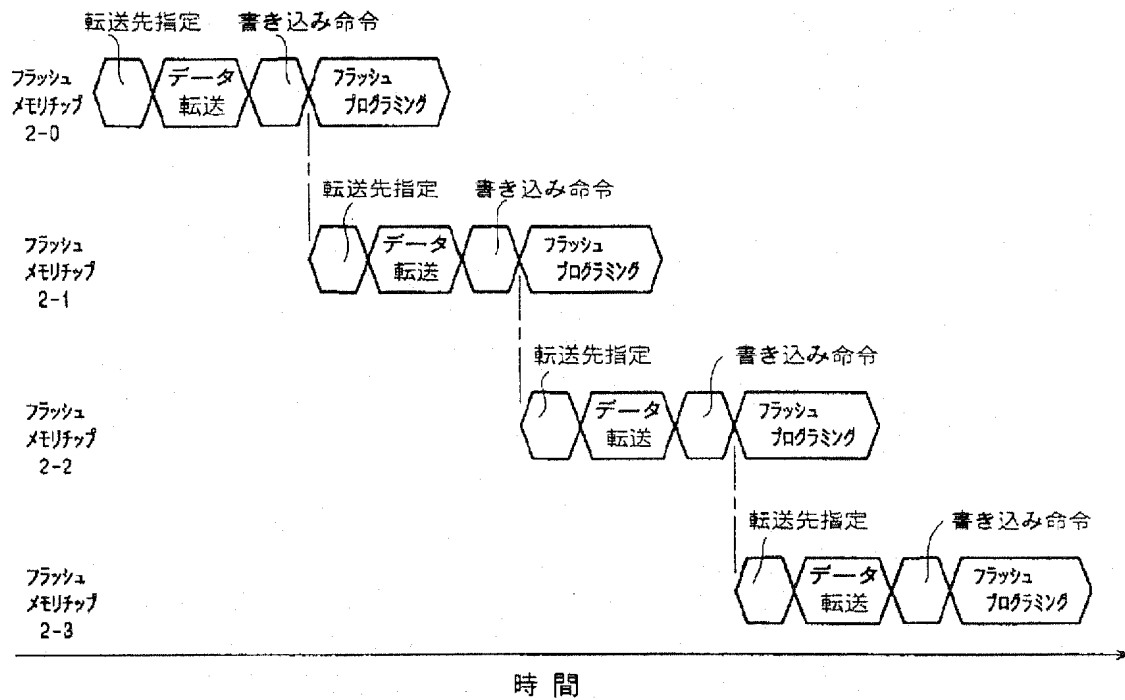
【図12】



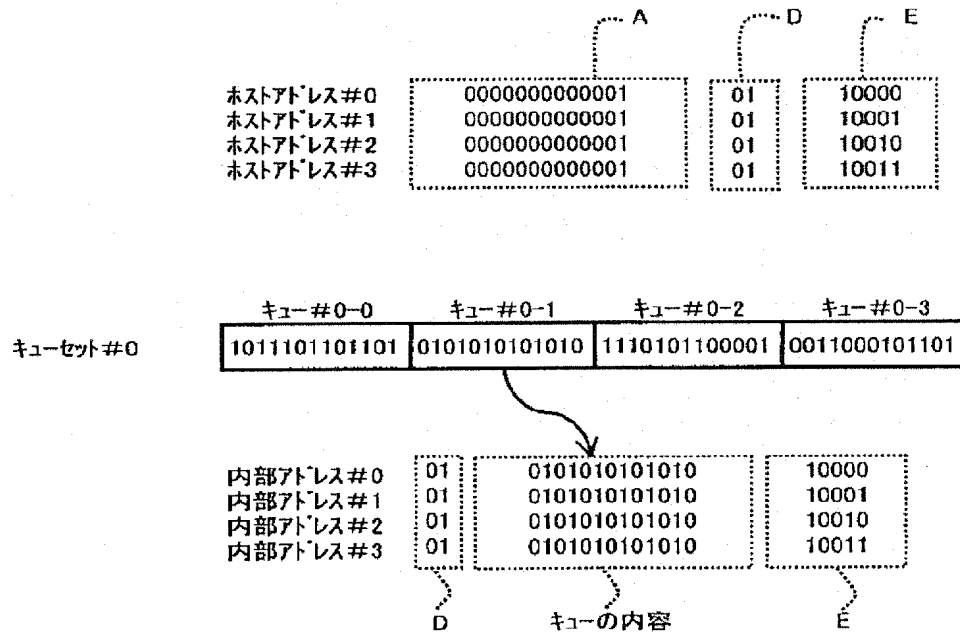
【図11】



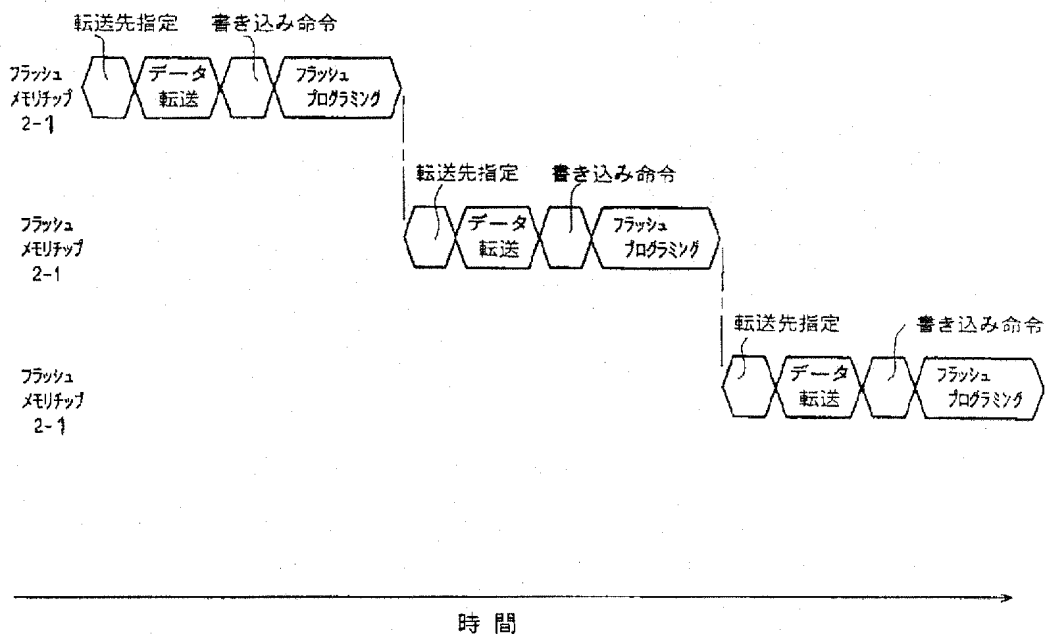
【図13】



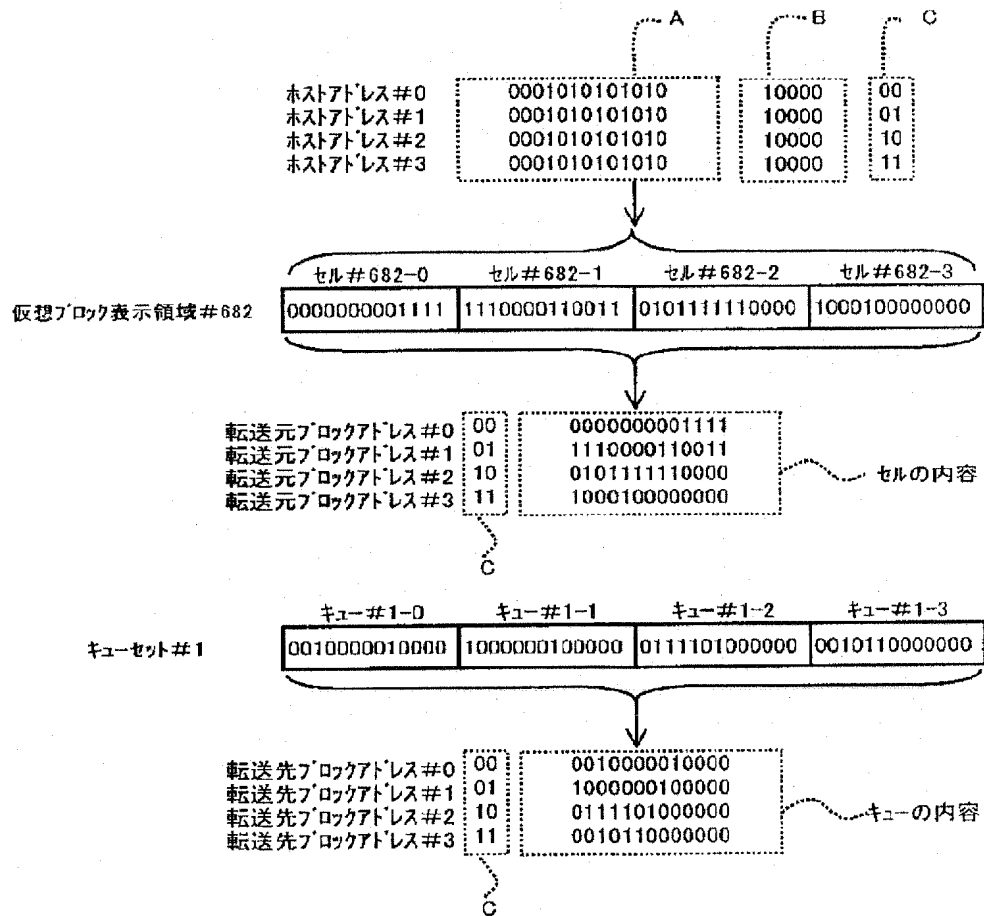
【図14】



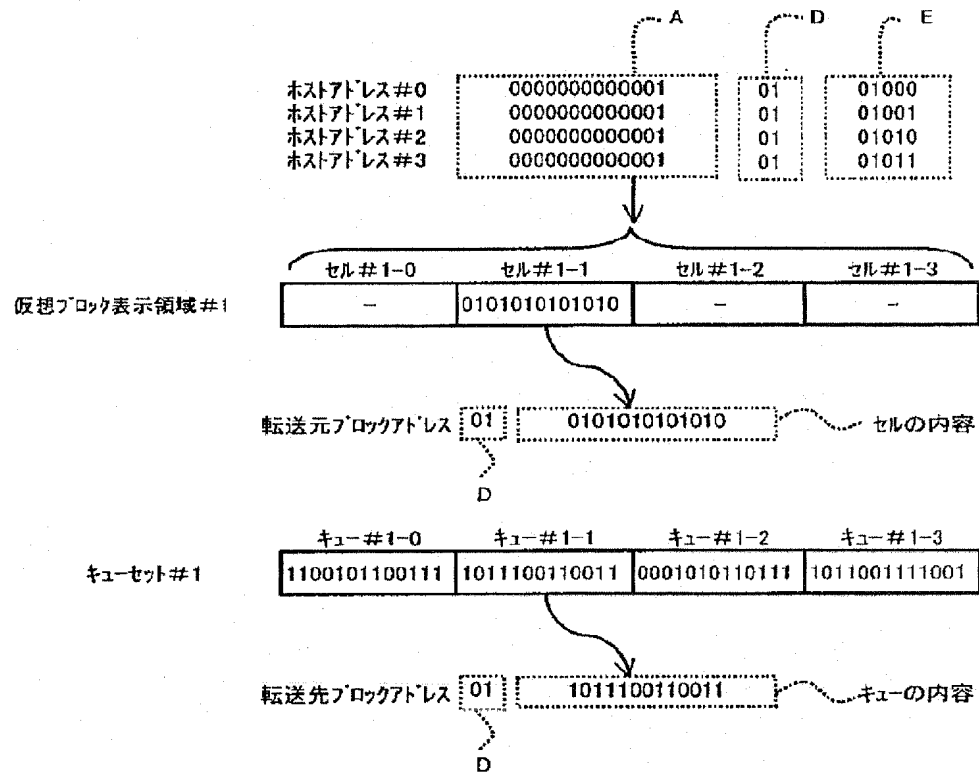
【図15】



【図16】



【図17】



フロントページの続き

F ターム(参考) 5B025 AA03 AB01 AC01 AD01 AD04
 AE05
 5B060 CA12